

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 3 0 日
Date of Application:

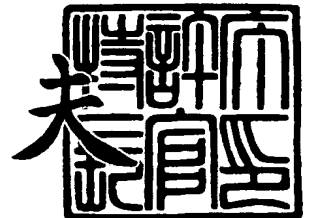
出 願 番 号 特 願 2 0 0 3 - 1 8 8 7 9 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 8 8 7 9 2]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 7 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000300230

【提出日】 平成15年 6月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 有効期限付き機能利用装置

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 渡辺 浩志

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 松澤 一也

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 白田 理一郎

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【先の出願に基づく優先権主張】

【出願番号】 特願2002-198144

【出願日】 平成14年 7月 8日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有効期限付き機能利用装置

【特許請求の範囲】

【請求項 1】 第 1 の機能ブロックと、

第 2 の機能ブロックと、

前記第 1 の機能ブロックと前記第 2 の機能ブロックとの間を接続し、これらが相互アクセスすることによって発生する所望の機能を利用可能とする信号線と、

前記信号線に介在若しくは接続し、所定の時間経過後、前記第 1 の機能ブロック及び前記第 2 の機能ブロック間の前記相互アクセスを実質的に不能とする、若しくは実質的に可能にする半導体時限スイッチと、
を具備することを特徴とする有効期限付き機能利用装置。

【請求項 2】 前記第 2 の機能ブロックは、情報または機能を格納した第 1 の内部回路であることを特徴とする請求項 1 記載の有効期限付き機能利用装置。

【請求項 3】 前記第 2 の機能ブロックは、前記第 1 の内部回路に加え、 $N-1$ 個の他の内部回路を更に具備し、

スイッチの特性に関し、オンからオフの第 1 のスイッチ動作と、オフからオンの第 2 のスイッチ動作のいずれかを第 1 極性、他のスイッチ動作を第 2 極性と定義した時、前記半導体時限スイッチは $N-1$ 個の第 1 極性型時限スイッチと $N-1$ 個の第 2 極性型通常スイッチと $N-1$ 個の第 1 極性型通常スイッチから成り、

第 1 の第 2 極性型通常スイッチは前記第 1 の内部回路と前記第 1 の機能ブロックの間に接続され、

第 n の第 2 極性型スイッチの一方の端子は第 n の内部回路に接続され、

第 n の第 1 極性型通常スイッチは前記第 n の第 2 極性型通常スイッチの他方の端子と第 $n+1$ の第 2 極性型通常スイッチの端子との間に接続され、

第 n の第 1 極性型時限スイッチは、前記第 n の第 2 極性型通常スイッチと前記第 n の第 1 極性型通常スイッチを同時に駆動し、

第 $N-1$ の第 1 極性型通常スイッチは、第 $N-1$ の第 2 極性型通常スイッチと第 N の内部回路の間に接続され、

前記第 1 極性型時限スイッチは、第 1 より第 $N-1$ まで番号順に作動すること

を特徴とする請求項 2 に記載の有効期限付き機能利用装置。

【請求項 4】 前記第 2 の機能ブロックは、前記第 1 の内部回路に加え、 $N-1$ 個の他の内部回路を更に具備し、

前記半導体時限スイッチは、 N 個の自動オフ型時限スイッチと $N-1$ 個の自動オン型時限スイッチから成り、

第 1 の自動オフ型時限スイッチは前記第 1 の内部回路と前記第 1 の機能ブロックに接続され、

第 n の自動オフ型時限スイッチは第 n の内部回路に接続され、

第 n の自動オン型時限スイッチは前記第 n の自動オフ型時限スイッチと第 $n+1$ の自動オフ型時限スイッチの間に接続され、

前記自動オフ型時限スイッチは第 1 より第 N まで番号順に作動し、前記自動オン型時限スイッチは、第 1 より第 $N-1$ まで、前記自動オフ型時限スイッチの序数に同期して番号順に作動することを特徴とする請求項 2 に記載の有効期限付き機能利用装置。

【請求項 5】 前記信号線の途中に設けられ、前記第 1 の機能ブロックと前記半導体時限スイッチの一方の端子が接続される入出力端子と、

前記半導体時限スイッチの他方の端子に接続された第 3 の機能ブロックと、
を更に具備することを特徴とする請求項 1 に記載の有効期限付き機能利用装置。

【請求項 6】 前記半導体時限スイッチは、スイッチの特性に関し、オンからオフ、オフからオンのいずれかを第 1 極性、他を第 2 極性と定義した時、前記入出力端子と前記第 2 の機能ブロックとの間に接続される第 2 極性型通常スイッチと、前記入出力端子と前記第 3 の機能ブロックとの間に接続される第 1 極性型スイッチと、前記第 2 極性型スイッチと前記第 1 極性型通常スイッチを同時に駆動する第 1 極性型時限スイッチを具備することを特徴とする請求項 5 に記載の有効期限付き機能利用装置。

【請求項 7】 前記半導体時限スイッチは、スイッチの特性に関し、オンからオフ、オフからオンのいずれかを第 1 極性、他を第 2 極性と定義した時、前記入出力端子と前記第 2 の機能ブロックとの間に接続される第 2 極性型時限スイッチと、前記入出力端子と前記第 3 の機能ブロックとの間に接続される第 1 極性型

時限スイッチとを具備することを特徴とする請求項 5 に記載の有効期限付き機能利用装置。

【請求項 8】 前記半導体時限スイッチは、半導体層内に離間して形成されたソース領域とドレイン領域と、前記ソース領域と前記ドレイン領域間のチャンネル領域上に絶縁膜を介して形成されたゲート電極とを備え、前記ソース領域と前記ドレイン領域をスイッチの 2 つの接続端とすることを特徴とする請求項 1 に記載の有効期限付き機能利用装置。

【請求項 9】 前記半導体時限スイッチは、前記ゲート電極に予め電荷が供給されることによって前記ソース領域及びドレイン領域間が導通または非導通状態となり、前記電荷が前記ゲート電極から時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及び前記ドレイン領域間が非導通または導通状態となることを特徴とする請求項 8 に記載の有効期限付き機能利用装置。

【請求項 10】 前記電荷が、 $p-n$ 接合、 $p-n-p$ 接合、 n^+nn^+ 接合、 $p+pp+$ 接合、 npn 接合、ショットキー接合から選ばれた 1 つを介して前記ゲート電極に注入される、若しくは前記ゲート電極からリークすることを特徴とする請求項 9 に記載の有効期限付き機能利用装置。

【請求項 11】 前記ゲート電極は絶縁膜に覆われた浮遊ゲート電極であり、前記電荷が前記浮遊ゲート電極を囲む前記絶縁材を介して前記浮遊ゲート電極に注入される、若しくは前記浮遊ゲート電極からリークすることを特徴とする請求項 9 に記載の有効期限付き機能利用装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有効期限付き機能利用装置に関する。

【0002】

【従来の技術】

暗号やパスワードに有効期限を設けたセキュリティシステムは従来から広く用いられてきた。例えば、衛星放送では、暗号キーに有効期限を設け、ある一定期間毎にユーザーにパスワードの変更を義務付けてセキュリティを高めている。

【0003】

例えば、データ保持寿命が任意に設定された不揮発性半導体メモリを、メモリカードや定期券等に使用して、一定期間データを保持するとともに一定期間経過後にデータを抹消することで、メモリカードや定期券等を使用できないようにする技術が報告されている（例えば、特許文献1 参照。）。

【0004】

しかしながらこの不揮発性半導体メモリは、メモリを構成する不揮発性メモリの一つ一つのゲート絶縁膜における原子構成比を調整することで、データの保持寿命を決定している。したがって正確な保持寿命を再現することが困難であるという問題がある。また、有効期限を任意に決めたメモリ領域を複数形成するためには、異なる原子構成比からなるゲート絶縁膜を有するメモリを同一基板に作りこまなければならない、製法が煩雑になるという問題がある。また、不揮発性メモリにアクセスしてデータをリフレッシュすることで容易に保持時間を延ばすことができるという問題もある。

【0005】

また、電源供給が遮断されても、その後電源を再投入したときに、現在の時刻を算出して自動的に設定できる技術も報告されている（例えば、特許文献2 参照。）。

【0006】

この技術は、EPROM素子等の記憶素子の閾値の変化を利用して経過時間を測るもので、電源遮断時から電源再投入時までの記憶素子の閾値の変化から経過時間を計算し、電源遮断時の時刻に加えることにより現在の時刻を得ている。

【0007】

また、電荷蓄積素子が絶縁材を通じてその静電荷を失う放電率より経過時間を決定するタイムセルという技術も報告されている。このタイムセルは測定すべき特定の期間を選択するようにプログラムすることができる（例えば、特許文献3 参照。）。

【0008】

しかしながら、後者の2件は経過時間の計測のみを行なう目的で為されたもの

であり、暗号鍵に有効期限を設けるのには適していない。

【0009】

【特許文献1】

特開平10-189780号公報

【0010】

【特許文献2】

特開平9-127271号公報

【0011】

【特許文献3】

特開2002-246887号公報

【0012】

【発明が解決しようとする課題】

本発明は、このような問題を解決するためになされたもので、比較的簡単なプロセスで製造可能な有効期限付き機能利用装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明の有効期限付き機能利用装置は、第1の機能ブロックと、第2の機能ブロックと、前記第1の機能ブロックと前記第2の機能ブロックとの間を接続し、これらが相互アクセスすることによって発生する所望の機能を利用可能とする信号線と、前記信号線に介在若しくは接続し、所定の時間経過後、前記第1の機能ブロック及び前記第2の機能ブロック間の前記相互アクセスを実質的に不能とする、若しくは実質的に可能にする半導体時限スイッチとを具備することを特徴とする。

【0014】

このとき、前記第1の機能ブロックは、エンコードされた暗号キーを格納するメモリであり、前記第2の機能ブロックは、前記暗号キーをデコードするデコーダーであり、前記所望の機能はデコードされた暗号キーであることが好ましい。

【0015】

また、前記信号線の途中に設けられ、前記第1の機能ブロックと前記半導体時

限スイッチの一方の端子が接続される入出力端子と、前記半導体時限スイッチの他方の端子に接続された第3の機能ブロックとを更に具備することができる。

【0016】

上記の有効期限付き機能利用装置において、前記半導体時限スイッチは、半導体層内に離間して形成されたソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間のチャネル領域上に形成されたゲートとを備え、前記第1の機能ブロックは前記ソース領域及びドレイン領域の一方に接続され、前記第2の機能ブロックは前記ソース領域及びドレイン領域の他方に接続されている、即ち前記ソース領域及びドレイン領域をスイッチの接続端とすることが好ましい。

【0017】

また、前記半導体時限スイッチは、前記ゲートに予め電荷が供給されることによって前記ソース領域及びドレイン領域間が導通状態となり、前記電荷が前記ゲートから時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及びドレイン領域間が非導通状態となることが好ましい。

【0018】

あるいは、前記半導体時限スイッチは、前記ゲートに予め電荷が供給されることによって前記ソース領域及び前記ドレイン領域間が非導通状態となり、前記電荷が前記ゲートから時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及び前記ドレイン領域間が導通状態となるようにしてもよい。

【0019】

また、 $p-n$ 接合、 $p-n-p$ 接合、 n^+nn^+ 接合、 p^+pp^+ 接合、 npn 接合、ショットキー接合及びシングルゲート型若しくは積層ゲート型MOSトランジスタのいずれかを介して前記ゲートに電荷を注入することが好ましい。

【0020】

また、前記半導体時限スイッチの前記ゲートは、 $p-n$ 接合、 $p-n-p$ 接合、 n^+nn^+ 接合、 p^+pp^+ 接合、 npn 接合或いはショットキー接合が前記半導体層に対して垂直方向に積層されていることが好ましい。

【0021】

また、前記半導体時限スイッチは、半導体層内に離間して形成されたソース領

域及びドレイン領域と、前記ソース領域及びドレイン領域間のチャネル領域上に形成された浮遊ゲートと、前記浮遊ゲート近傍に形成されたコントロールゲートとを備え、前記第1の機能ブロックは、前記ソース領域及びドレイン領域の一方に接続され、前記第2の機能ブロックは前記ソース領域及びドレイン領域の他方に接続されていることが好ましい。

【0022】

また、前記時限スイッチは、前記浮遊ゲートに予め電荷が供給されることによって前記ソース領域及びドレイン領域間が導通または非導通状態となり、前記電荷が前記浮遊ゲートから時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及びドレイン領域間が非導通または導通状態となることが好ましい。

【0023】

また、前記ゲート電極は絶縁膜に覆われた浮遊ゲート電極であり、前記電荷が前記浮遊ゲート電極を囲む前記絶縁材を介して前記浮遊ゲート電極に注入される、若しくは前記浮遊ゲート電極からリークすることが好ましい。

【0024】

【発明の実施の形態】

以下、本発明の実施形態について図面を用いて詳細に説明する。なお、本発明は、以下の実施形態に限定されるものではなく種々工夫して用いることができる。

【0025】

(実施形態1)

本実施形態では、図1に示すように、第1の機能ブロック1として記憶領域（メモリ）1と、第2の機能ブロック2として第1の機能ブロック（記憶領域）1から情報を読み出すためのデコーダーと、これらの間に信号線7を介して接続され、所定の時間が経過した後にスイッチがオフするような半導体時限スイッチ（自動オフ型エージングデバイス）3が集積化された集積回路（LSI）4を示す。

【0026】

図1に示すように、メモリ1とデコーダー2の間にエージングデバイスが配置

されている。この場合では、エージングデバイス 3 の一方がメモリ 1 と接続され、他方がデコーダー 2 と接続され、デコーダー 2 とメモリ 1 はアクセス可能となっている。

【0027】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 とデコーダー 2 との接続が切れる。こうして、デコーダー 2 がメモリ 1 にアクセスすることができなくなり L S I 4 の機能が不全になる。例えばメモリ 1 に暗号を解読するための復号鍵が記憶されている場合、デコーダー 2 はメモリ 1 に記憶された復号鍵を読み取ることができなくなり、暗号の有効期限化が実現する。

【0028】

(実施形態 2)

本実施形態では、図 2 に示すように、第 1 の機能ブロックとして演算領域 (M P U) 1 と、第 2 の機能ブロックとしてデコーダー 2 と、これらの間に信号線 7 を介して接続され、所定の時間が経過した後にスイッチがオフするような半導体時限スイッチ (エージングデバイス) 3 が集積化された集積回路 (L S I) 4 を示す。

【0029】

図 2 に示すように、M P U 1 とデコーダー 2 の間にエージングデバイス 3 が配置されている。この場合では、エージングデバイス 3 の一方が M P U 1 と接続され、他方がデコーダー 2 と接続され、M P U 1 とデコーダー 2 はアクセス可能となっている。

【0030】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、M P U 1 とデコーダー 2 との接続が切れる。こうして、M P U 1 とデコーダー 2 はアクセスすることができなくなり L S I 4 の機能が不全になる。例えば M P U 1 が解読した暗号情報をデコーダー 2 が読み取ることができなくなり、暗号の有効期限化が実現する。

【0031】

(実施形態3)

本実施形態では、図3に示すように、第1の機能ブロックとして演算領域(MPU)1と、第2の機能ブロックとして記憶領域(メモリ)2と、これらの間に信号線7を介して接続され、所定の時間が経過した後にスイッチがオフするような半導体時限スイッチ(エージングデバイス)3が集積化された集積回路(LSI)4を示す。

【0032】

図3に示すように、MPU1とメモリ2の間にエージングデバイス3が配置されている。この場合では、エージングデバイス3の一方がMPU1と接続され、他方がメモリ2と接続され、MPU1とメモリ2はアクセス可能となっている。

【0033】

エージングデバイス3は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、MPU1とメモリ2との接続が切れる。こうして、MPU1とメモリ2はアクセスすることができなくなりLSI4の機能が不全になる。例えばメモリ2に記憶された復号鍵をMPU1が読み取ることができなくなり、暗号を解読できなくなる。こうして暗号の有効期限化が実現する。

【0034】**(実施形態4)**

本実施形態では、図4に示すように、第1の機能ブロックとして記憶領域(メモリ)1a及び演算領域(MPU)1bと、第2の機能ブロックとしてデコーダー2と、これらの間に信号線7を介して接続され、所定の時間が経過した後にスイッチがオフするような半導体時限スイッチ(エージングデバイス)3が集積化された集積回路(LSI)4を示す。

【0035】

図4に示すように、メモリ1a及びMPU1bとデコーダー2の間にエージングデバイス3が配置されている。この場合では、エージングデバイス3の一方がメモリ1a及びMPU1bと接続され、他方がデコーダー2と接続され、メモリ1a及びMPU1bとデコーダー2はアクセス可能となっている。

【0036】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 a 及び MPU 1 b とデコーダー 2 との接続が切れる。こうして、メモリ 1 a 及び MPU 1 b とデコーダー 2 はアクセスすることができなくなり L S I 4 の機能が不全になる。例えばメモリ 2 に記憶された復号鍵をデコーダー 2 が読み取ることができなくなり、又は、メモリ 1 a に記憶された復号鍵を使って MPU 1 b が解読した暗号文をデコーダー 2 が読み取ることができなくなり、暗号の有効期限化が実現する。

【0037】

(実施形態 5)

本実施形態では、図 5 に示すように、第 1 の機能ブロックとして記憶領域（メモリ）1 a、演算領域（MPU）1 b 及びデコーダー 1 c と、第 2 の機能ブロックとして電源 2 と、これらの間に信号線 7 を介して接続され、所定の時間が経過した後にスイッチがオフするような半導体時限スイッチ（エージングデバイス）3 が集積化された集積回路（L S I）4 を示す。

【0038】

図 5 に示すように、メモリ 1 a、MPU 1 b 及びデコーダー 1 c と電源 2 の間にエージングデバイス 3 が配置されている。この場合では、エージングデバイス 3 の一方がメモリ 1 a、MPU 1 b 及びデコーダー 1 c と接続され、他方が電源 2 と接続され、メモリ 1 a、MPU 1 b 及びデコーダー 1 c は、電源 2 から電力を供給されている。

【0039】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 a、MPU 1 b 及びデコーダー 1 c と電源 2 との接続が切れる。こうして、メモリ 1 a、MPU 1 b 及びデコーダー 1 c は、電源 2 から電力を供給されなくなり、L S I 4 の機能が不全になる。

【0040】

(実施形態 6)

本実施形態では、図 6 に示すように、第 1 の機能ブロックとして記憶領域（メモリ）1 a 及び演算領域（MPU）1 b と、第 2 の機能ブロックとして電源 2 と

、これらの間に信号線 7 を介して接続され、所定の時間（寿命）が経過した後にスイッチがオフするような第 1 の半導体時限スイッチ（エージングデバイス）3 a と、第 1 の機能ブロックとしてデコーダー 1 c と、第 2 の機能ブロックとして電源 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような第 2 の半導体時限スイッチ（エージングデバイス）3 b が集積化された集積回路（LSI）4 を示す。エージングデバイス 3 a と 3 b の寿命が異なれば、LSI 4 の機能は段階的に失われる。

【0041】

図 6 に示すように、メモリ 1 a 及び MPU 1 b と電源 2 の間に第 1 のエージングデバイス 3 a が配置されている。この場合では、第 1 のエージングデバイス 3 a の一方がメモリ 1 a 及び MPU 1 b と接続され、他方が電源 2 と接続され、メモリ 1 a 及び MPU 1 b は、電源 2 から電力を供給されている。また、デコーダー 1 c と電源 2 の間に第 2 のエージングデバイス 3 b が配置されている。この場合では、第 2 のエージングデバイス 3 b の一方がデコーダー 1 c と接続され、他方が電源 2 と接続され、デコーダー 1 c は、電源 2 から電力を供給されている。

【0042】

第 1 のエージングデバイス 3 a 及び第 2 のエージングデバイス 3 b は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 a 及び MPU 1 b と電源 2 との接続が切れる。また、デコーダー 1 c と電源 2 との接続が切れる。こうして、メモリ 1 a、MPU 1 b 及びデコーダー 1 c は、電源 2 から電力を供給されなくなり、LSI 4 の機能が不全になる。

【0043】

（実施形態 7）

本実施形態では、図 7 に示すように、第 1 の機能ブロックとして記憶領域（メモリ）1 a と、第 2 の機能ブロックとして電源 2 と、これらの間に信号線 7 を介して接続され、所定の時間が経過した後にスイッチがオフするような第 1 の半導体時限スイッチ（エージングデバイス）3 a と、第 1 の機能ブロックとしてデコーダー 1 c と、第 2 の機能ブロックとして電源 2 と、これらの間に信号線 7 を介して接続され、所定の時間が経過した後にスイッチがオフするような第 2 の半導

体時限スイッチ（エージングデバイス）3 bが集積化された集積回路（LSI）4を示す。更にLSI 4上には、演算領域（MPU）1 bが第3のエージングデバイス3 cを介してメモリ1 aと接続されている。

【0044】

図7に示すように、メモリ1 aと電源2の間に第1のエージングデバイス3 aが配置されている。この場合では、第1のエージングデバイス3 aの一方がメモリ1 aと接続され、他方が電源2と接続され、メモリ1 aは、電源2から電力を供給されている。また、MPU 1 bは第3のエージングデバイス3 c、メモリ1 a及び第1のエージングデバイス3 aを介して電源2と接続され、電源2から電力を供給されている。また、デコーダー1 cと電源2の間に第2のエージングデバイス3 bが配置されている。この場合では、第2のエージングデバイス3 bの一方がデコーダー1 cと接続され、他方が電源2と接続され、デコーダー1 cは、電源2から電力を供給されている。

【0045】

第1のエージングデバイス3 a、第2のエージングデバイス3 b及び第3のエージングデバイス3 cは、予め設定された所定の時間（寿命）が経過するとスイッチがオフ状態になり、メモリ1 a及びMPU 1 bとの接続が切れる。また、これらと電源2との接続が切れる。さらに、デコーダー1 cと電源2との接続が切れる。こうして、メモリ1 a、MPU 1 b及びデコーダー1 cは、電源2から電力を供給されなくなり、また、MPU 1 bとメモリ1 aとがアクセス不能となり、LSI 4の機能が不全になる。

【0046】

上記では、複数の機能ブロック間にエージングデバイスが接続され、所定の期間（寿命）が経過後、機能ブロック間の相互アクセスを実質的に不能とする自動オフ型（ノーマリオフ型）エージングデバイスを用いた。これとは逆に、所定の期間（寿命）経過後に機能ブロック間の相互アクセスを実質的に可能にする自動オン型（ノーマリオン型）エージングデバイスを実施形態1～7に用いることも可能である。その場合、所定の時間（寿命）が経過する前には機能不全であったLSI 4が、所定の時間（寿命）経過後に機能を回復することになる。

【0047】

以上で、第1の機能ブロック1と第2の機能ブロック2の間に、エージングデバイスで実現する半導体時限スイッチが介在する場合（架橋型）について述べたことになる。以下、実施形態8～13では、第1の機能ブロック1と第2の機能ブロック2の間の信号線7に、エージングデバイスで実現する半導体時限スイッチが接続する（クランプ型）について説明する。説明の重複を避けるため、実施形態8～13では、自動オン型（ノーマリオン型）エージングデバイスを用いるが、これを自動オフ型に置き換えることもできる。

【0048】

即ち、実施形態8乃至13では、入出力端子に接続される第1の機能ブロックと情報または機能を格納した内部回路である第2の機能ブロックが信号線で接続されており、信号線とアースまたは他の信号線または電源線、あるいは他の内部回路（第3の機能ブロック）の間に、所定の時間が経過すると電氣的に導通状態となる自動オン型（ノーマリオン型）エージングデバイスが接続されている。

【0049】

なお、実施形態8乃至13における入出力端子5には、実施形態1乃至7の機能ブロック1を繋ぐことができ、内部回路6は機能ブロック2と等価である。入出力端子5には、複数の第1のブロックが接続でき、第2の機能ブロックとして、複数の内部回路を備えることができる。

【0050】

（実施形態8）

本実施形態では、図8に示すように、第1の機能ブロック1と第2の機能ブロック2が信号線7で接続されており、信号線7と接地（GND）（他の信号線または電源線であってもよい）との間に、所定の時間が経過すると電氣的に導通状態となる自動オン型経時変化（エージング）デバイス3Xが接続されている。

【0051】

本構成によれば、所定の時間が経過すると、信号線7の電位がGND（他の信号線または電源線）の電位にクランプされて、第1の機能ブロック1と第2の機能ブロック2との間で信号が伝播されなくなる。この機能により、第2の機能ブ

ロック 2 に格納されている情報または機能に有効期限を設けることが可能となる。

【0052】

本実施形態においては、自動オン型エージングデバイス 3 X に代えて、自動オフ型エージングデバイスを使用することもできる。

【0053】

(実施形態 9)

本実施形態は、図 9 に示すように、第 1 の機能ブロック 1 [I/O 端子 5] は第 2 の機能ブロック 2 (第 1 の内部回路) と導通状態にあるが、所定の時間が経過すると、自動オン型エージングデバイス 3 X がオンして、入出力端子 5 (以後 I/O 端子 5 と称する) は第 3 の機能ブロック 3 5 (第 2 の内部回路) とともに電氣的に導通状態になる。第 1 の機能ブロック 1 は I/O 端子 5 に接続されている。これにより、第 2 の機能ブロック 2 (第 1 の内部回路) と I/O 端子 5 の間の信号に擾乱を加えて、所定時間経過後は、第 2 の機能ブロック 2 (第 1 の内部回路) に格納されている情報または機能を利用不能にする。

【0054】

あるいは、所定時間経過後は第 2 の機能ブロック 2 (第 1 の内部回路) の信号に第 3 の機能ブロック 3 5 (第 2 の内部回路) の信号を加えて出力しても良い。または、所定時間経過後は第 2 の機能ブロック 2 (第 1 の内部回路) と第 3 の機能ブロック 3 5 (第 2 の内部回路) に、第 1 の機能ブロック 1 より I/O 端子 5 を経由して同一の信号を入力するようにしても良い。

【0055】

本実施例においては、自動オン型エージングデバイス 3 X に代えて、自動オフ型エージングデバイスを使用することもできる。

【0056】

(実施形態 10)

本実施形態は、図 10 に示すように、第 1 の機能ブロック 1 が接続される I/O 端子 5 と第 2 の機能ブロック (第 1 の内部回路) 2 の間に通常のオフ型スイッチ 8 が接続され、I/O 端子 5 と第 3 の機能ブロック (第 2 の内部回路) 3 5 の

間に通常のオン型スイッチ 9 が接続され、オフ型通常スイッチ 8 とオン型通常スイッチ 9 には、自動オン型経時変化回路ブロック 10 が接続され、所定時間経過後、自動オン型経時変化回路ブロック 10 からの出力によって、オフ型スイッチ 8 はオン状態からオフ状態になり、オン型スイッチ 9 はオフ状態からオン状態になる。

【0057】

なお、経時変化ブロック 10 は、基本的にはエージングデバイス 3 X と同じであるが、エージングデバイスに動作安定のために若干の回路素子を付加したもので、詳しくは実施形態 36 で説明する。

【0058】

この回路構成により、所定時間経過後は、I/O 端子 5 と第 3 の機能ブロック（第 2 の内部回路）35 との間で信号が伝播するようになる。すなわち、I/O 端子 5 から見た内部回路の情報または機能を、所定時間経過後に自動的に切り替えることが可能となる。各機能ブロック（内部回路）2, 3 は、回路の一部を共有しても良い。

【0059】

本実施例においては、オフ型スイッチ 8 をオン型スイッチに、オン型スイッチ 9 をオフ型スイッチに、自動オン型経時変化ブロック 10 を自動オフ型経時変化ブロックに置き換えることが可能である。即ち、スイッチのオンからオフ、オフからオンの極性を変換することができる。

【0060】

（実施形態 11）

本実施形態は、図 11 に示すように、第 2 の機能ブロック 2 に対応する N 個（ N は自然数）の内部回路と $N-1$ 個の経時変化回路ブロックと $N-1$ 個のオフ型スイッチと $N-1$ 個のオン型スイッチから成り、第 n のオフ型スイッチ 8_n は第 n の内部回路 6_n に接続され、第 n のオン型スイッチ 9_n は第 n のオフ型スイッチ 8_n と第 $n+1$ のオフ型スイッチ $8_{(n+1)}$ の間に接続され、第 n の経時変化回路ブロック 10_n の出力線は、第 n のオフ型スイッチ 8_n と第 n のオン型スイッチ 9_n に接続されている。経時変化回路ブロック 10_n は、第 1、第 2、第

3の順に作動して、対応するオフ型スイッチをオンからオフに、対応するオン型スイッチをオフからオンにする。

【0061】

この回路構成により、第1の機能ブロック1が接続されるI/O端子5から利用できる内部回路の情報または機能を段階的に変化させることが可能となる。各内部回路6_nは、回路の一部を共有しても良い。

【0062】

本実施形態においては、オフ型スイッチ8_nをオン型スイッチに、オン型スイッチ9_nをオフ型スイッチに、自動オン型経時変化ブロック10_nを自動オフ型経時変化ブロックに置き換えることが可能である。即ち、スイッチのオンからオフ、オフからオンの極性を変換することができる。

【0063】

(実施形態12)

本実施形態は、図12に示すように、第1の機能ブロック1が接続されるI/O端子5と第2の機能ブロック(第1の内部回路)2の間に自動オフ型経時変化回路ブロック36が接続され、I/O端子5と第3の機能ブロック(第2の内部回路)35の間に自動オン型経時変化回路ブロック10が接続されている。所定時間経過後、自動オフ型経時変化回路ブロック36はオンからオフ状態になり、自動オン型経時変化回路ブロック10はオフからオン状態になる。

【0064】

この回路構成により、所定時間経過後は、I/O端子5と第3の機能ブロック(第2の内部回路)35との間で信号が伝播するようになる。すなわち、I/O端子5から見た内部回路の情報または機能を、所定時間経過後に自動的に切り替えることが可能となる。

【0065】

第10の実施形態(図10)に示した回路構成の場合、所定時間が経過すると第2の機能ブロック(第1の内部回路)2と第3の機能ブロック(第2の内部回路)35が同時に切り替わる。本実施形態の場合は、自動オン型経時変化ブロック10の寿命を自動オフ型経時変化ブロック36の寿命より長くすることによっ

て、第2の機能ブロック（第1の内部回路）2が使用不可になった後、所定時間経過後に第3の機能ブロック（第2の内部回路）35の情報または機能を利用するようにすることができる。各内部回路は、回路の一部を共有しても良い。

【0066】

本実施形態においても、自動オフ型経時変化回路ブロック36と自動オン型経時変化回路ブロック10のスイッチの極性を逆にしてもよい。

【0067】

（実施形態13）

本実施形態は、図13に示すように、第2の機能ブロック2に相当するN個（Nは自然数）の内部回路とN-1個の自動オフ型経時変化回路ブロックとN-1個の自動オン型経時変化回路ブロックから成り、第nの自動オフ型経時変化回路ブロック36_nは第nの内部回路に接続され、第nの自動オン型経時変化回路ブロックは第nの自動オフ型経時変化回路ブロックと第n+1の自動オフ型経時変化回路ブロックの間に接続されている。

【0068】

自動オフ型経時変化回路ブロック36_nと自動オン型経時変化回路ブロック10_nは、第1、第2、第3の順に状態変化（作動）する。この回路構成により、I/O端子5から利用できる内部回路の情報または機能を、所定時間において段階的に変化させることが可能となる。各内部回路は、回路の一部を共有しても良い。

【0069】

次に、実施形態1乃至実施形態7に示した自動オフ型エージングデバイス3の具体的な構造及びその動作方法について、自動オフ型を例にとって、実施形態14乃至24で説明する。

【0070】

（実施形態14）

図14は、実施形態14に係るエージングデバイスの断面図である。このエージングデバイスは、n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むようにp+ソ

ース領域 14 及び p^+ ドレイン領域 15 が形成されている。このような pMOS FET のゲート電極 13 に pn 接合 16 の n 層を接続し、 p 層を外部端子に接続してエージングデバイスが形成されている。

【0071】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0072】

このようなエージングデバイスに、図 15 に示すように、 pn 接合 16 の p 層に電圧 $V_1 < 0$ を印加する。

【0073】

そうすると、図 16 に示すように p 型領域から n 型領域にバンド間トンネリング (BBT) や雪崩降伏現象によって、電子が流れる。こうすることによってゲート電極 13 に電子を注入する。電子を注入後、 pn 接合 16 の p 層に印加されていた電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0074】

こうすることで、図 17 に示すように、電圧 V_1 が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスのソース領域 14 及びドレイン領域 15 間が導通状態 (オン) となる。

【0075】

次に、図 18 に示すように、ゲート電極 13 には余分な電子が蓄積しているため、拡散電流によって電子は pn 接合 16 の n 層から p 層に向かって逃げ出し、時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような蓄積電子の漏出は、ゲート絶縁膜 12 の厚さが十分薄ければ、ゲート電極 13 とチャネルの間、あるいは、ゲート電極 13 とソース領域 14 やドレイン領域 15 の拡散層との間の直接トンネリング (直接トンネルゲートリーク) でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0076】

エージングデバイスの有効期限（寿命）、すなわちエージングデバイスがオンからオフ状態となる時間は、ゲート電極 13 に蓄積する電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

【0077】

図 19 は、本実施形態のエージングデバイスを安価に実現するための積層構造を示す。図 19 のように、ゲート絶縁膜 12 上に p n 接合 32 を縦型に形成することにより、本実施形態のエージングデバイスを安価に製作することができる。

【0078】

（実施形態 15）

図 20 は、実施形態 15 に係るエージングデバイスの断面図である。このエージングデバイスは、p 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように n⁺ ソース領域 14 及び n⁺ ドレイン領域 15 が形成されている。ゲート電極 13 に p n 接合 16 の p 層を接続し、n 層を外部端子に接続してエージングデバイスが形成されている。

【0079】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0080】

このようなエージングデバイスに、図 21 に示すように、p n 接合 16 の n 層に電圧 $V_1 > 0$ を印加する。

【0081】

そうすると、図 22 に示すように n 型領域から p 型領域にバンド間トンネリング（B B T）や雪崩降伏現象によって、正孔が流れる。こうすることによってゲート電極 13 に正孔を注入する。正孔を注入後、p n 接合 16 の n 層に印加されていた電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0082】

こうすることで、図23に示すように、電圧 V_1 が0ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通（オン）状態となる。

【0083】

次に、図24に示すように、ゲート電極13には余分な正孔が蓄積しているため、拡散電流によって正孔はpn接合16のp層からn層に向かって逃げ出し、時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような蓄積正孔の漏出は、ゲート絶縁膜12の厚さが十分薄ければ、ゲート電極13とチャネルの間、あるいは、ゲート電極13とソース領域14やドレイン領域15の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域14及びドレイン領域15の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0084】

エージングデバイスの有効期限（寿命）、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極13に蓄積する正電荷の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、正孔の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることができる。

【0085】

図25は、本実施形態のエージングデバイスを安価に実現するための積層構造を示す。図25のように、ゲート絶縁膜12上にpn接合33を縦型に形成することにより、本実施形態のエージングデバイスを安価に製作することができる。

【0086】

（実施形態16）

図26は、実施形態16に係るエージングデバイスの断面図である。このエージングデバイスは、p型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むようにn⁺ソース領域14及びn⁺ドレイン領域15が形成されている。ゲート電極13にpn⁺接合17の一方のp層を接続し、もう一方のp層を外部端子に接続し、n層

を外部端子に接続してエージングデバイスが形成されている。

【0087】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0088】

このようなエージングデバイスに、pnp接合17のもう一方のp層に電圧 $V_1 > 0$ を印加し、n層に電圧 $V_2 < 0$ を印加する。その結果右側のp型領域からn型領域を介して左側のp型領域に正孔が流れ、ゲート電極13に正孔が注入される。正孔を注入後、pnp接合17のp層及びn層に印加されていた電圧 V_1 及び V_2 を切る、あるいは、端子そのものを物理的に剥ぎ取ってから、エージングチップをパッケージングする。

【0089】

こうすることにより、図27に示すように、電圧 V_1 及び V_2 が0ボルトでも、チャンネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

【0090】

次に、ゲート電極13には余分な正孔が蓄積しているため、拡散電流によって正孔はpnp接合17の一方のゲート側のp層からn層を介しもう一方のp層に向かって逃げ出し、時間の経過と共にチャンネルに掛かる電界が弱くなる。

【0091】

また、このような蓄積正孔の漏出は、実施形態14及び15に、直接トンネルゲートリークでも発生しうる。こうしてチャンネルが反転しなくなったとき、ソース領域14及びドレイン領域15の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。エージングデバイスの有効期限（寿命）は、実施形態15と同様にして調節することができる。

【0092】

本実施形態のエージングデバイスも、実施形態14あるいは15と同様に、ゲート電極13上にpnp接合17を縦型に形成すれば、エージングデバイスを安価に実現できる。

【0093】

(実施形態17)

図28は、実施形態17に係るエージングデバイスの断面図である。このエージングデバイスは、p型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むようにn⁺ソース領域14及びn⁺ドレイン領域15が形成されている。ゲート電極13にn⁺nn⁺接合18の一方のn⁺層を接続し、もう一方のn⁺層を外部端子に接続し、n層を外部端子に接続してエージングデバイスが形成されている。

【0094】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0095】

このようなエージングデバイスに、n⁺nn⁺接合18のもう一方のn⁺層に電圧V₁>0を印加し、n層に電圧V₂>0を印加する。

【0096】

そうすると、図28に示すように、ゲート電極13から、n⁺nn⁺接合18を介して、電子が抜き出される。こうすることによってゲート電極13を正に帯電させる。この後、n⁺nn⁺接合18のn⁺層及びn層に印加されていた電圧V₁及びV₂を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0097】

こうすることで、電圧V₁及びV₂が0ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通（オン）状態となる。

【0098】

次に、ゲート電極13に不足した電子が、拡散電流によってn⁺nn⁺接合18を介してゲート電極13に蓄積する。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような電子の注入は、ゲート絶縁膜12の厚さが十分薄ければ、ゲート電極13とチャネルの間、あるいは、ゲート電極13とソース領域14やドレイン領域15の拡散層との間の直接トンネリング（直接ト

ンネルゲートリーク)でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域14及びドレイン領域15の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0099】

エージングデバイスの有効期限(寿命)は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極13から抜き取る電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電気の抜き取り時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

【0100】

本実施形態のエージングデバイスも、実施形態14あるいは15と同様に、ゲート電極13上に $n^+ n n^+$ 接合18を縦型に形成すれば、エージングデバイスを安価に実現できる。

【0101】

(実施形態18)

図29は、エージングデバイスの断面図である。このエージングデバイスは、p型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むように n^+ ソース領域14及び n^+ ドレイン領域15が形成されている。ゲート電極13に $p^+ p p^+$ 接合19の一方の p^+ 層を接続し、もう一方の p^+ 層を外部端子に接続し、 p 層を外部端子に接続してエージングデバイスが形成されている。

【0102】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0103】

このようなエージングデバイスに、 $p^+ p p^+$ 接合19のもう一方の p^+ 層に電圧 $V1 > 0$ を印加し、 p 層に電圧 $V2 < 0$ を印加する。

【0104】

こうして、ゲート電極13に、 $p^+ p p^+$ 接合19を介して、正孔を注入し、

ゲート電極 13 を正に帯電させる。この後、 $p^+ p p^+$ 接合 19 の p^+ 層及び p 層に印加されていた電圧 V_1 及び V_2 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0105】

こうすることで、電圧 V_1 及び V_2 が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0106】

次に、図 30 に示すように、拡散電流によってゲート電極 13 の正孔が、 $p^+ p p^+$ 接合 19 を介して抜き出される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。

【0107】

また、このような正孔の抜き出しは、実施形態 14 及び 15 と同様に、直接トンネリングでも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。エージングデバイスの有効期限（寿命）は、実施形態 14 及び 15 と同様にして調節することができる。

【0108】

本実施形態のエージングデバイスも、実施形態 14 あるいは 15 と同様に、ゲート電極 13 上に $p^+ p p^+$ 接合 19 を縦型に形成すれば、エージングデバイスを安価に実現できる。

【0109】

（実施形態 19）

図 31 は、エージングデバイスの断面図である。このエージングデバイスは、 p 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように n^+ ソース領域 14 及び n^+ ドレイン領域 15 が形成されている。ゲート電極 13 に $n p n$ 接合 20 の一方の n 層を接続し、もう一方の n 層を外部端子に接続し、 p 層を外部端子に接続してエージングデバイスが形成されている。

【0110】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0111】

このようなエージングデバイスに、npn 接合 20 のもう一方の n 層に電圧 $V_1 > 0$ を印加し、p 層に電圧 $V_2 > 0$ を印加する。

【0112】

そうすると、図 31 に示すように、ゲート電極 13 から、npn 接合 20 を介して、電子が抜き取られる。こうすることによってゲート電極 13 を正に帯電させる。この後、npn 接合 20 の n 層及び p 層に印加されていた電圧 V_1 及び V_2 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、エージングチップをパッケージングする。

【0113】

こうすることで、電圧 V_1 及び V_2 が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0114】

次に、図 32 に示すように、ゲート電極 13 に不足した電子が、拡散電流によって npn 接合 20 を介して、ゲート電極 13 に流入する。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。

【0115】

また、このような電子の注入は、実施形態 17 と同様に直接トンネルゲートリークでも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。エージングデバイスの有効期限（寿命）は、実施形態 17 と同様にして調節することができる。

【0116】

本実施形態のエージングデバイスも、実施形態 14 あるいは 15 と同様に、ゲート電極 13 上に npn 接合 20 を縦型に形成すれば、エージングデバイスを安価に実現できる。

【0117】

(実施形態 20)

図 33 は、実施形態 20 に係るエージングデバイスの断面図である。このエージングデバイスは、p 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように n⁺ ソース領域 14 及び n⁺ ドレイン領域 15 が形成されている。ゲート電極 13 に、メタル／n 型シリコンのショットキー接合 21 の n 型シリコンを接続し、メタル層を外部端子に接続してエージングデバイスが形成されている。

【0118】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0119】

このようなエージングデバイスに対して、ショットキー接合 21 のメタル層に電圧 $V_1 > 0$ を印加する。

【0120】

そうすると、ゲート電極 13 から、ショットキー接合 21 を介して、電子が抜き取られる。こうすることによってゲート電極 13 を正に帯電させる。この後、ショットキー接合 21 のメタル層に印加されていた電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、エージングチップをパッケージングする。

【0121】

こうすることで、電圧 V_1 が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0122】

次に、電子のショットキートンネリングによって、ショットキー接合 21 を介して、ゲート電極 13 に不足した電子が注入される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。

【0123】

また、このような電子の注入は、実施形態 17 と同様に、直接トンネルゲートリークでも発生し得る。こうしてチャネルが反転しなくなったとき、ソース領域

14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。エージングデバイスの有効期限（寿命）は、実施形態 17 と同様にして調節することができる。

【0124】

図 34 は、本実施形態のエージングデバイスを安価に実現するための積層構造を示す。図 34 のように、ゲート絶縁膜 12 上にショットキ接合 34 を縦型に形成することにより、本実施形態のエージングデバイスを安価に製作することができる。また、電荷のリークとしてショットキトンネリングを用いているため、寿命の温度依存性を抑えることが出来る。

【0125】

（実施形態 21）

図 35 は、実施形態 21 に係るエージングデバイスの断面図である。このエージングデバイスは、n 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように p⁺ ソース領域 14 及び p⁺ ドレイン領域 15 が形成されている。このような pMOSFET のゲート電極 13 に、メタル/p 型シリコンのショットキー接合 22 の p 型シリコンを接続し、メタル層を外部端子に接続してエージングデバイスが形成されている。

【0126】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0127】

このようなエージングデバイスに対して、ショットキー接合 22 のメタル層に電圧 $V_1 < 0$ を印加する。

【0128】

そうすると、正孔が、ショットキー接合 22 を介してゲート電極 13 から抜き出される。こうすることによってゲート電極 13 を負に帯電させる。この後、ショットキー接合 22 のメタル層に印加されていた電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、エージングチップをパッケージングする

。

【0129】

こうすることで、電圧 V_1 が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0130】

次に、正孔のショットキートンネリングによって、ショットキー接合 22 を介して、ゲート電極 13 に不足した正孔が注入される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。

【0131】

また、このような正孔の注入（電子の抜け）は、実施形態 14 と同様に、直接トンネルゲートリークでも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。エージングデバイスの有効期限（寿命）は、実施形態 14 と同様に調節することができる。

【0132】

図 36 は、本実施形態のエージングデバイスを安価に実現するための積層構造を示す。図 36 のように、ゲート 12 上にショットキー接合 35 を縦型に形成することにより、本実施形態のエージングデバイスを安価に製作することができる。また、電荷のリークとしてショットキー接合を用いるため、寿命の温度依存性を抑えることが出来る。

【0133】

（実施形態 23）

図 37 は、実施形態 23 に係るエージングデバイスの断面図である。このエージングデバイスは、p 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように n^+ ソース領域 14 及び n^+ ドレイン領域 15 が形成されている。ゲート電極 13 に、 n MOSFET 23 の n^+ ソース領域を接続し、ゲート及び n^+ ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

【0134】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0135】

このようなエージングデバイスに対して、nMOSFET 23 のゲートに電圧 $V_2 > 0$ を印加し、 n^+ ドレイン領域に電圧 $V_1 > 0$ を印加する。

【0136】

そうすると、電子が、nMOSFET 23 を通ってゲート電極 13 から抜ける。こうすることによってゲート電極 13 を正に帯電させる。この後、nMOSFET 23 のゲート電圧 V_2 を切ってからドレイン電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0137】

こうすることで、電圧 V_1 及び電圧 V_2 が 0 ボルトでも、ソース領域 14 及びドレイン領域 15 間が導通状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0138】

次に、ゲート電極 13 に、リーク電流によって nMOSFET 23 を介して電子が注入される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。

【0139】

また、このような電子の注入は、ゲート絶縁膜 12 の厚さが十分薄ければ、ゲート電極 13 とチャネルの間及びゲート電極 13 とソース領域 14 やドレイン領域 15 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0140】

エージングデバイスの有効期限（寿命）は、実施形態 17 と同様に調節することができる。また、nMOSFET のゲート幅、ゲート長、拡散層濃度、チャネル濃度、絶縁膜厚、エクステンション領域等を調節することによっても、所定の範囲に収めることが出来る。

【0141】

(実施形態23)

図38は、実施形態23に係るエージングデバイスの断面図である。このエージングデバイスは、p型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むようにn⁺ソース領域14及びn⁺ドレイン領域15が形成されている。ゲート電極13に、pMOSFET24のp⁺ソース領域を接続し、ゲート及びp⁺ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

【0142】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0143】

このようなエージングデバイスに対して、pMOSFET24のゲートに電圧 $V_2 < 0$ を印加し、n⁺ドレイン領域に電圧 $V_1 > 0$ を印加する。

【0144】

そうすると、正孔が、pMOSFET24を通してゲート電極13に注入される。こうすることによってゲート電極13を正に帯電させる。その後、pMOSFET23のゲート電圧 V_2 を切ってからドレイン電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0145】

こうすることで、電圧 V_1 及び電圧 V_2 が0ボルトでも、ソース領域14及びドレイン領域15間が導通状態となる。こうしてエージングデバイスが導通状態(オン)となる。

【0146】

次に、ゲート電極13に、リーク電流によってpMOSFET24を介して正孔がリークする。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような正孔のリークは、ゲート絶縁膜12の厚さが十分薄ければ、ゲート電極13とチャネルの間及びゲート電極13とソース領域14やドレイン領域15の拡散層との間での正孔の直接トンネリング(直接トンネルゲートリーク

）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0147】

エージングデバイスの有効期限（寿命）は、実施形態 15 と同様に調節することができる。pMOSFET 24 のゲート幅、ゲート長、拡散層濃度、チャネル濃度、絶縁膜厚、エクステンション領域等を調節することによっても、所定の範囲に収めることが出来る。

【0148】

（実施形態 24）

図 39 は、エージングデバイスの断面図である。このエージングデバイスは、n 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように p⁺ ソース領域 14 及び p⁺ ドレイン領域 15 が形成されている。このような pMOSFET のゲート電極 13 に、nMOSFET 25 の n⁺ ソース領域を接続し、ゲート及び n⁺ ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

【0149】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0150】

このようなエージングデバイスに対して、nMOSFET 25 のゲートに電圧 $V_2 > 0$ を印加し、n⁺ ソース領域に電圧 $V_1 < 0$ を印加する。

【0151】

そうすると、電子が、nMOSFET 25 を通ってゲート電極 13 に注入される。こうすることによってゲート電極 13 を負に帯電させる。この後、nMOSFET 25 のゲート電圧 V_2 を切ってからドレイン電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0152】

こうすることで、電圧 V_1 及び電圧 V_2 が 0 ボルトでも、ソース領域 14 及び

ドレイン領域 15 間が導通状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0153】

次に、ゲート電極 13 から、リーク電流によって nMOSFET 25 を介して電子が抜ける。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような電子の抜けは、実施形態 14 と同様に、直接トンネルゲートリークでも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0154】

エージングデバイスの有効期限（寿命）は、実施形態 14 と同様に調節できる。また、nMOSFET 25 のゲート幅、ゲート長、拡散層濃度、チャネル濃度、絶縁膜厚等を調節することによっても、所定の範囲に収めることが出来る。

【0155】

（実施形態 25）

図 40 は、エージングデバイスの断面図である。このエージングデバイスは、n 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように p⁺ ソース領域 14 及び p⁺ ドレイン領域 15 が形成されている。ゲート電極 13 に、pMOSFET 26 の p⁺ ソース領域を接続し、ゲート及び p⁺ ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

【0156】

エージングデバイスのソース領域 14 は第 1 の機能ブロック 1 が接続され、ドレイン領域 15 は第 2 の機能ブロック 2 が接続されている。

【0157】

このようなエージングデバイスに対して、pMOSFET 26 のゲートに電圧 $V_2 < 0$ を印加し、n⁺ ドレイン領域に電圧 $V_1 < 0$ を印加する。

【0158】

そうすると、正孔が、ゲート電極 13 から pMOSFET 26 を通って抜け出

す。こうすることによってゲート電極 13 を負に帯電させる。この後、pMOSFET 26 のゲート電圧 V_2 を切ってからドレイン電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0159】

こうすることで、電圧 V_1 及び電圧 V_2 が 0 ボルトでも、ソース領域 14 及びドレイン領域 15 間が導通状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0160】

次に、ゲート電極 13 に、リーク電流によって pMOSFET 26 を介して正孔が注入される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような正孔の注入は、ゲート絶縁膜 12 の厚さが十分薄ければ、ゲート電極 13 とチャネルの間及びゲート電極 13 とソース領域 14 やドレイン領域 15 の拡散層との間での正孔の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0161】

エージングデバイスの有効期限（寿命）は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 13 から抜き取る正孔の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、正孔の抜き取り時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

【0162】

pMOSFET 26 のゲート幅、ゲート長、拡散層濃度、チャネル濃度、絶縁膜厚、エクステンション領域等を調節することによっても、所定の範囲に収めることが出来る。

【0163】

（実施形態 26）

図 41 は、エージングデバイスの断面図である。このエージングデバイスは、

n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にフローティングゲート27が形成されている。フローティングゲート27上には、絶縁膜28が形成され、この上にコントロールゲート29が形成されている。ゲート絶縁膜12を挟むようにp+ソース領域14及びp+ドレイン領域15が形成されている。コントロールゲート29は、外部端子に接続してエージングデバイスが形成されている。

【0164】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0165】

図42は、このようなエージングデバイスのフローティングゲート27に電子を注入する方法を説明する図である。

【0166】

先ず、コントロールゲート29に正の電圧 $V_1 > 0$ を印加して、FNトンネリングによってn型半導体基板11からフローティングゲート27に電子を注入する。

【0167】

図43は、フローティングゲート27に電子を注入する別の方法を示す図である。

【0168】

コントロールゲート29に負の電圧 $V_1 < 0$ を印加して、FNトンネリングによってコントロールゲート29からフローティングゲート27に電子を注入する。

【0169】

このように、コントロールゲート29に印加する電圧 V_1 がFNトンネリングを生じさせるほど十分高ければ正負極性によらずコントロールゲート27に電子を注入することが出来る。

【0170】

また、コントロールゲート27と半導体基板11間のゲート絶縁膜12の厚さ

が十分薄ければ、あるいは、コントロールゲート 29 とフローティングゲート 27 間の絶縁膜 28 の厚さが十分薄ければ、直接トンネリングによる電子の注入も可能である。

【0171】

この後、コントロールゲート 29 の電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0172】

こうすることで、電圧 V_1 が 0 ボルトでも、ソース領域 14 及びドレイン領域 15 間が導通状態となる。こうしてエージングデバイスが導通状態（オン）となる。

【0173】

次に、図 44 及び図 45 に示すように、フローティングゲート 27 から、直接トンネリングによるリーク電流によって電子が半導体基板 11、ソース領域 14、ドレイン領域 15 及びコントロールゲート 29 に抜け出る。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0174】

フローティングゲート 27 と半導体基板 11 の間のゲート絶縁膜 12 がフローティングゲート 27 とコントロールゲート 29 の間の絶縁膜 28 より薄ければ、図 44 に示す電子の放出が顕著になる。一方フローティングゲート 27 とコントロールゲート 29 の間の絶縁膜 28 がフローティングゲート 27 と半導体基板 11 の間のゲート絶縁膜 12 より薄ければ、図 45 に示す電子の放出が顕著になる。絶縁膜 28 とゲート絶縁膜 12 が同じ程度に薄ければ電子の放出は両方のリーク電流の和になる。

【0175】

エージングデバイスの有効期限（寿命）は、すなわちエージングデバイスがオフ状態となる時間は、フローティングゲート 27 に蓄積する電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の注入時間、ゲ

ート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

【0176】

また、n型半導体基板を用いる代わりにp型半導体基板、p型拡散層のソース及びドレインの代わりにn型拡散層のソースとドレインからなるエージングデバイスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子のFNトンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。

【0177】

（実施形態27）

図46（a）は、実施形態27に係るエージングデバイスの斜視図である。このエージングデバイスは、n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にフローティングゲート27が形成されている。フローティングゲート27に隣接するように、n型半導体基板11上にコントロールゲート29が形成されている。

【0178】

フローティングゲート27とコントロールゲート29間には絶縁膜が形成されているが図46（a）には示していない。

【0179】

ゲート絶縁膜12を挟むようにp⁺ソース領域14及びp⁺ドレイン領域15が形成されている。コントロールゲート29は、外部端子に接続してエージングデバイスが形成されている。

【0180】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0181】

図46（b）は、このようなエージングデバイスを上面から見た図である。

【0182】

図46（b）に示すように、フローティングゲート27の短辺に対向する位置

にコントロールゲート 29 が形成され、その間には図 46 (a) で省略した絶縁膜 28 が形成されている。また、コントロールゲート 29 は、拡散層であるソース領域 14 及びドレイン領域 15 から空間的に隔離された位置に配置する。こうすることによって、コントロールゲート 29 が拡散層に与える影響を小さくすることが出来る。

【0183】

また、ゲート幅（短辺）の異なるデバイスを同一基板上に作りこむことでエージングデバイスがオフする状態になる時間を異ならせることができる。

【0184】

図 47 は、このようなエージングデバイスのフローティングゲート 27 に電子を注入する方法を説明する図である。

【0185】

先ず、コントロールゲート 29 に負の電圧 $V_1 < 0$ を印加し、FN トンネリングによりコントロールゲート 29 からフローティングゲート 27 に電子を注入する。

【0186】

コントロールゲート 29 とフローティングゲート 27 間の絶縁膜 28 の厚さが十分薄ければ、直接トンネリングによる電子の注入も可能である。こうすることでソース領域 14 及びドレイン領域 15 が導通状態となる。

【0187】

図 48 は、このようなエージングデバイスのフローティングゲート 27 からコントロールゲート 29 に電子が直接トンネリングで放出している図である。

【0188】

直接トンネル電流は対向部分の面積に比例するので、フローティングゲート 27 とコントロールゲート 29 が向き合う面積を調節することによって、寿命を所定の範囲に収めることが出来る。

【0189】

また、n 型半導体基板を用いる代わりに p 型半導体基板、p 型拡散層のソース及びドレインの代わりに n 型拡散層のソースとドレインからなるエージングデバ

イスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子のFNトンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。

【0190】

（実施形態28）

図49は、実施形態28に係るエージングデバイスの断面図である。このエージングデバイスは、n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にフローティングゲート27が形成されている。フローティングゲート23上には、絶縁膜28が形成され、この上にコントロールゲート29が形成されている。ゲート絶縁膜12を挟むようにp⁺ソース領域14及びp⁺ドレイン領域15が形成されている。コントロールゲート29は、外部端子に接続してエージングデバイスが形成されている。

【0191】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0192】

このエージングデバイスは、ゲート絶縁膜12がその端部30において、他の部分よりも薄くなっている。そしてフローティングゲート27は、ソース領域14上に張り出している。

【0193】

図50は、このようなエージングデバイスのフローティングゲート27に電子を注入する方法を説明する図である。図50に示すように、コントロールゲート29に正の電圧 $V_1 > 0$ を印加して、FNトンネリングにより半導体基板11からフローティングゲート27に電子を注入する。

【0194】

半導体基板11とフローティングゲート27間のゲート絶縁膜12の厚さが十分薄ければ、直接トンネリングにより電子を注入することも可能である。

【0195】

図51は、このようなエージングデバイスのフローティングゲート27に電子

を注入する別の方法を説明する図である。

【0196】

図51に示すように、コントロールゲート29に負の電圧 $V_1 < 0$ を印加して、FNトンネリングによりコントロールゲート29からフローティングゲート27に電子を注入する。

【0197】

コントロールゲート29とフローティングゲート27間のゲート絶縁膜122が十分薄ければ、直接トンネリングにより電子を注入することも可能である。

【0198】

フローティングゲート27に電子を注入後、コントロールゲート29に印加してあった電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、エーシングチップをパッケージングする。

【0199】

こうすることでソース領域14及びドレイン領域15を導通状態にする。すなわちコントロールゲート29の電圧が0ボルトにおいても、オン状態となる。

【0200】

図52に示すように、フローティングゲート27に余分に蓄積した電子は、ゲート絶縁膜12の薄くなった端部30を通して、直接トンネルゲートリークによってソース領域14へ放出される。こうして、時間の経過と共にチャネルに掛かる電界が弱くなり、チャネルが反転しなくなったとき、ソース領域14及びドレイン領域15間に電流が流れなくなる。こうして第1の機能ブロック1と第2の機能ブロック2がアクセス不能となり、オフ状態となる。

【0201】

エーシングデバイスの有効期限（寿命）は、ゲートに注入する負電荷量に比例し、直接トンネルゲートリークに反比例するので、注入時間、フローティングゲート27の体積、フローティングゲート27がソース領域14上に出っ張っている端部30のゲート絶縁膜12の厚さ、フローティングゲート27がソース領域14上に出っ張っている端部30の重なり面積等を調節することによって、所定の範囲に収めることが出来る。

【0202】

また、n型半導体基板を用いる代わりにp型半導体基板、p型拡散層のソース及びドレインの代わりにn型拡散層のソースとドレインからなるエージングデバイスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子のFNトンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。また、端部30をドレイン15側に作っても同様である。

【0203】

（実施形態29）

図53は、実施形態29に係るエージングデバイスの断面図である。このエージングデバイスは、n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にフローティングゲート27が形成されている。フローティングゲート27上には、絶縁膜28が形成され、この上にコントロールゲート29が形成されている。コントロールゲート29及びフローティングゲート27の側面には、側面ゲート31が形成されている。側面ゲート31とコントロールゲート29及びフローティングゲート27間には、絶縁膜が形成されているが図示していない。

【0204】

ゲート絶縁膜12を挟むようにp⁺ソース領域14及びp⁺ドレイン領域15が形成されている。コントロールゲート29は、外部端子に接続してエージングデバイスが形成されている。

【0205】

エージングデバイスのソース領域14は第1の機能ブロック1が接続され、ドレイン領域15は第2の機能ブロック2が接続されている。

【0206】

このエージングデバイスでは、ゲート絶縁膜12が側壁ゲート31側の端部30において、他の部分よりも厚くなっている。

【0207】

図54は、フローティングゲート27に半導体基板11から電子を注入する方法を説明する図である。図54に示すように、コントロールゲート29に正の電

圧 $V_1 > 0$ を印加して、FN トンネリングにより半導体基板 11 からフローティングゲート 27 に電子を注入する。

【0208】

半導体基板 11 とフローティングゲート 27 間のゲート絶縁膜 12 の厚さが十分薄ければ、直接トンネリングによる電子の注入も可能である。

【0209】

図 55 は、フローティングゲート 27 に電子を注入する別の方法を説明する図である。図 51 に示すように、コントロールゲート 29 に負の電圧 $V_1 < 0$ を印加して、FN トンネリングによりコントロールゲート 29 からフローティングゲート 27 に電子を注入する。

【0210】

コントロールゲート 29 とフローティングゲート 27 間の絶縁膜 28 が十分薄ければ、直接トンネリングによる電子の注入も可能である。

【0211】

フローティングゲート 27 に電子を注入後、コントロールゲート 29 に印加してあった電圧 V_1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、エージングチップをパッケージングする。

【0212】

こうすることでソース領域 14 及びドレイン領域 15 を導通状態にする。すなわちコントロールゲート 29 の電圧が 0 ボルトにおいても、オン状態となる。

【0213】

図 56 に示すように、フローティングゲート 27 に余分に蓄積した電子は、直接トンネリングによって半導体基板 11、コントロールゲート 29 及び側面ゲート 31 に放出される。側面ゲート 31 の電位はフローティングでも一定電位でも構わない。

【0214】

こうして、時間の経過と共にチャネルに掛かる電界が弱くなり、チャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 間に電流が流れなくなってオフ状態となる。

【0215】

エージングデバイスの有効期限（寿命）は、フローティングゲート27に蓄積する負電荷量に比例し、直接トンネル電流に反比例するので、電子の注入時間、フローティングゲート27の体積、ゲート面積、フローティングゲート27と側面ゲート31の向き合う面積、半導体基板11とフローティングゲート27間のゲート絶縁膜12の厚さ、フローティングゲート27とコントロールゲート29間の絶縁膜28の厚さ、フローティングゲート27と側面ゲート31間の絶縁膜（図示せず）の厚さ、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

【0216】

また、n型半導体基板を用いる代わりにp型半導体基板、p型拡散層のソース及びドレインの代わりにn型拡散層のソースとドレインからなるエージングデバイスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子のFNトンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。また、側面ゲート31及び端部30は、ソース領域14側に形成してもよい。

【0217】

これまでの実施形態で説明した二重ゲート構造のエージングデバイスを製造するには、最低2回の製膜プロセスが必要で高価になりやすい。そこで、集積度は落ちるがポリシリコンゲート電極を1つだけ用いたシングルゲート構造で、長寿命かつ安価なエージングデバイスを実現する方法を実施形態30乃至34で説明する。

【0218】

（実施形態30）

図57（a）は、実施形態30に係るエージングデバイスの上面図、図57（b）は図57（a）のA-A'線に沿った断面図、図57（c）は図57（a）のB-B'線に沿った断面図である。

【0219】

本実施形態では、制御ゲート45が半導体基板基板41内に作り込まれており

、制御ゲート 45 とソース (42) ・チャネル (46) ・ドレイン (43) 領域 (以後、SGD 領域と称する) との間を LOCOS (LOCal Oxidation of Silicon) による素子分離絶縁領域 47 により、電氣的に分離している (図 57 (c))。

【0220】

SGD 領域の断面は、図 57 (b) に示すように、通常の MOS 構造を有しており、ソース領域 42 とドレイン領域 43 の間で、(浮遊) ゲート電極 44 の下にはチャネル領域 46 が形成される。

【0221】

浮遊ゲート電極 44 はポリシリコンで形成されており、図 57 (c) に示すように、制御ゲート 45 と SGD 領域のチャネル領域 46 を橋絡する如く、ゲート絶縁膜 48, 49 と素子分離領域 47 を介して半導体基板 41 上に形成されている。素子分離領域 47 の両側のゲート絶縁膜 (トンネル酸化膜) 48, 49 の膜厚は同一にすることができる。

【0222】

図 58 は、本実施形態のエージングデバイスの動作原理を説明する図で、ノーマリオフ型 (自動オフ型) の例を示す。図 58 (a) は、図 57 (c) に対応する図で、n 型基板 41 に p⁺ 型拡散層のソース・ドレイン層 42, 43 及び p⁺ 拡散層による制御ゲート 45 が形成されている。制御ゲート 45 に負の高電圧を印加すると正孔トンネリングにより n⁺ 型ポリシリコンによる浮遊ゲート 44 に電子が注入される。

【0223】

この電子は SGD 領域上の (浮遊) ゲート 44 に拡散し、図 58 (b) に示すように、MOSFET のチャネル領域 46 に正孔が引き寄せられてチャネルが形成され、MOSFET は導通する。浮遊ゲート 44 に注入された電子は、直接トンネリングにより、ゲート絶縁膜 48 を突き抜けてチャネル領域 46 にリークする。そして所定期間経過後に MOSFET はオフとなる。

【0224】

図 58 (c) は MOSFET のドレイン電流 I_D の経時変化を示す。所定時間

経過後にオフとなるのが、ノーマリオフ型の特徴である。

【0225】

図59(a)～図59(c)は、本実施形態の他のエージングデバイスの動作原理を説明する図で、ノーマリオン型（自動オン型）の例を示す。図59(a)は、図57(c)に対応する図で、n型基板41にn+型拡散層のソース・ドレイン層42、43及びp+拡散層による制御ゲート45が形成されている。制御ゲート45に負の高電圧を印加すると正孔トンネリングによりn+型ポリシリコンによる浮遊ゲート44に電子が注入される。

【0226】

この電子はSGD領域上の（浮遊）ゲート44に拡散し、図59(b)に示すように、MOSFETのチャネル領域46に正孔が引き寄せられてMOSFETは非導通（オフ）となる。浮遊ゲート44に注入された電子は、直接トンネリングにより、ゲート絶縁膜48を突き抜けてチャネル領域46にリークする。そして所定期間経過後にMOSFETはオンとなる。

【0227】

図59(c)はMOSFETのドレイン電流 I_D の経時変化を示す。所定時間経過後にオンとなるのが、ノーマリオン型の特徴である。

【0228】

図60は、本実施形態のさらに他のエージングデバイスの動作原理を説明する図で、ノーマリオン型の例を示す。図60(a)は、図57(c)に対応する図で、p型基板41にp+型拡散層のソース・ドレイン層42、43及びn+拡散層による制御ゲート45が形成されている。制御ゲート45に正の高電圧を印加すると正孔トンネリングによりp+型ポリシリコンによる浮遊ゲート44に正孔が注入される。

【0229】

図60は、本実施形態のさらに他のエージングデバイスの動作原理を説明する図で、ノーマリオン型の例を示す。図60(a)は、図57(c)に対応する図で、p型基板41にp+型拡散層のソース・ドレイン層42、43及びn+拡散層による制御ゲート45が形成されている。制御ゲート45に正の高電圧を印加

すると正孔トンネリングにより p^+ 型ポリシリコンによる浮遊ゲート 44 に正孔が注入される。

【0230】

この正孔はSGD領域上の（浮遊）ゲート 44 に拡散し、図 60（b）に示すように、MOSFETのチャネル領域 46 に電子が引き寄せられてMOSFETは非導通（オフ）となる。浮遊ゲート 44 に注入された正孔は、直接トンネリングにより、ゲート絶縁膜 48 を突き抜けてチャネル領域 46 にリークする。そして所定期間経過後にMOSFETはオンとなる。

【0231】

図 60（c）はMOSFETのドレイン電流 I_D の経時変化を示す。所定時間経過後にオンとなるのが、ノーマリオン型の特徴である。

【0232】

図 61 は、本実施形態のさらに他のエージングデバイスの動作原理を説明する図で、ノーマリオフ型の例を示す。図 61（a）は、図 57（c）に対応する図で、 p 型基板 41 に n^+ 型拡散層のソース・ドレイン層 42、43 及び n^+ 拡散層による制御ゲート 45 が形成されている。制御ゲート 45 に正の高電圧を印加すると正孔トンネリングにより p^+ 型ポリシリコンによる浮遊ゲート 44 に正孔が注入される。

【0233】

この正孔はSGD領域上の（浮遊）ゲート 44 に拡散し、図 61（b）に示すように、MOSFETのチャネル領域 46 に電子が引き寄せられてMOSFETは導通（オン）する。浮遊ゲート 44 に注入された正孔は、直接トンネリングにより、ゲート絶縁膜 48 を突き抜けてチャネル領域 46 にリークする。そして所定期間経過後にMOSFETはオフとなる。

【0234】

図 61（c）はMOSFETのドレイン電流 I_D の経時変化を示す。所定時間経過後にオフとなるのが、ノーマリオフ型の特徴である。

【0235】

（実施形態 31）

図 6 2 (a) は、実施形態 3 1 に係るエージングデバイスの上面図、図 6 2 (b) は図 6 2 (a) の B-B' 線に沿った断面図である。A-A' 線に沿った断面図は、図 5 7 (b) と同じなので省略する。

【0236】

本実施形態は、実施形態 3 0 の変形例で、素子分離領域 4 7 を S T I (Shallow Trench Isolation) で形成した例である。その他は実施形態 3 0 と同じなので、詳しい説明は省略する。

【0237】

(実施形態 3 2)

図 6 3 (a) は、実施形態 3 2 に係るエージングデバイスの上面図、図 6 3 (b) は図 6 3 (a) の B-B' 線に沿った断面図である。A-A' 線に沿った断面図は、図 5 7 (b) と同じなので省略する。

【0238】

本実施形態は、実施形態 3 0 の変形例であり、浮遊ゲート電極 4 4₁、4 4₂ が制御ゲート 4 5 の上と S G D 領域のチャネル領域 4 6 上に夫々ポリシリコンで形成されており、2つの浮遊ゲート電極 4 4₁、4 4₂ はメタル配線 5 0 で接続されている。このような構成でも、制御ゲート 4 5 から注入された電子あるいは正孔は浮遊ゲート 4 4₁、からメタル配線 5 0 を介して浮遊ゲート 4 4₂ に拡散するので、実施形態 3 0 と同様な動作をすることができる。

【0239】

(実施形態 3 3)

図 6 4 (a) は、実施形態 3 3 に係るエージングデバイスの上面図、図 6 4 (b) は図 6 4 (a) の B-B' 線に沿った断面図である。A-A' 線に沿った断面図は、図 5 7 (b) と同じなので省略する。

【0240】

本実施形態は、実施形態 3 2 の L O C O S による素子分離領域 4 7 を S T I に代えたものである。このような構成でも実施形態 3 0 と同様な動作をさせることができる。

【0241】

(実施形態 34)

図 65 (a) は、実施形態 34 に係るエージングデバイスの上面図、図 65 (b) は図 65 (a) の C-C' 線に沿った断面図である。本実施形態では、制御ゲート 45 とソース・ドレイン拡散層 42, 43 との間を LOCOS または STI による (図 65 では STI) 素子分離絶縁領域 47 により、電氣的に分離している。また、制御ゲート 45 とソース・ドレイン拡散層 42, 43 の上には夫々ポリシリコンによる浮遊ゲート電極 44₁、44₂ が形成されており、この 2 つの浮遊ゲート電極 44₁、44₂ はメタル配線 50 で接続されている。

【0242】

実施形態 33 と異なる点は、制御ゲート 45 を MOSFET のチャネル 46 の方向に配置していることである。このように、メタル配線 50 を用いれば、電氣的に分離された制御ゲート 45 とソース・ドレイン 42, 43 のレイアウトは自由に決めることができる。

【0243】

また、素子分離絶縁領域 47 の両側のゲート絶縁膜 (トンネル酸化膜) 48, 49 の膜厚は同一にすることができる。動作原理は実施形態 30 と同じである。

【0244】

次に実施形態 8 ~ 13 に適用されるエージングデバイス (経時変化デバイス) 或いは経時変化ブロックについて説明する。

【0245】

(実施形態 35)

本実施形態は、図 66 に示すように、of grounded gate MOSFET (以下、GG MOS と称す) を用いた実施形態 8 の具体的な回路構成例である。エージングデバイス 43X を構成する MOSFET 61 はノーマリオン型となるように、ゲート絶縁膜または基板側不純物濃度またはゲート材料の仕事関数を調整してある。電荷蓄積ゲート 62 には、先に述べた実施形態と同様に、経時変化開始時において過剰電子が蓄積されており、この過剰電子によって、MOSFET 61 はオフ状態にある。

【0246】

なお、過剰電子の注入方法としては、先に述べた $p-n$ 接合、 $p-n-p$ 接合、 n^+n-n^+ 接合、 p^+p-p^+ 接合、 $n-p-n$ 接合、ショットキー接合、のいずれかを介して前記ゲートに注入する方法が適用可能である。また、浮遊ゲートを用いる場合、浮遊ゲートを取り囲む絶縁材の一部から FN トンネリングを用いて電子を注入することができる。

【0247】

電荷蓄積ゲート 62 には $p-n$ ダイオード 63 が接続されている。所定時間が経過すると n 型の電荷蓄積ゲート 62 に接続された $p-n$ 接合 63 の拡散電流によって、過剰電子がアース (GND) に放電される。これにより、MOSFET 61 がオン状態に移行するので、信号線の電位がアース電位にクランプされて、信号線と内部回路の間で信号が伝播されなくなる。この場合アース電位に代えて、他の信号線または電源線の電位に接続するようにしてもよい。

【0248】

図 67 に $GGMOS$ を用いた本実施形態のエージングデバイスの構造のチャンネル長方向の断面図を示す。個々のエージングデバイスは STI による素子分離絶縁領域 66 で他の領域と電氣的に分離されている。信号線 7 は、ドレイン領域 64 に接続されている。

【0249】

電荷蓄積用ゲート 62 に電子を注入するには、例えば信号線 7 に書き込み用の高電圧を印加して、ドレイン 64 の n^+ 領域と $p-well$ 68 の接合で衝突イオンを発生させる。この際に生成する 2 次電子を電荷蓄積用ゲート 62 に注入する。

【0250】

電子が電荷蓄積用ゲート 62 に注入されると、エージングデバイス 3X はオフ状態になる。この状態では、I/O 端子 5 と内部回路 6 の間で信号が伝播される。電荷蓄積ゲート 62 中の電子が放電されると、信号線 7 の電位がアース (GND) (または他の信号線または電源線) の電位にクランプされて、信号線 7 と内部回路 6 の間で信号が伝播されなくなる。

【0251】

図 68 (a), (b) に、GGMOS を用いた本実施形態のエイジングデバイスの上面図とチャネル幅方向の断面図を示す。ゲート電極 62 を形成する n^+ 領域のアース (GND) (または他の信号線または電源線) に接続される側に p^+ 領域 67 を設けることで、容易に本発明の機能を実現するエイジングデバイスを作成することが出来る。また、図 68 (b) に見られるように、 $p-n$ 接合の位置と STI 端をずらしておくことも必要である。

【0252】

図 69 (a), (b) に GGMOS を用いた本実施形態の変形例に係るエイジングデバイスの上面図とチャネル幅方向の断面図を示す。電荷蓄積用ゲート 62 と p^+ 領域 67 が $p-n$ 接合を形成する部分の面積を変えることによって、過剰電子の放電時間を調整している。

【0253】

本実施形態では、 $p-n$ 接合 (63) を利用して過剰電子を放電したが、 $p-n$ 接合の替りに絶縁体を用いたトンネル接合を形成し、トンネル電流によって過剰電子を放電しても良い。また、ショットキー接合を用いてもよい。

【0254】

また、本実施形態では、nMOSFET を用いて自動オン型のエイジングデバイス 3X を記述したが、pMOSFET を用いても良い。この場合、電荷蓄積用ゲート 62 には過剰正孔が書き込まれる。

【0255】

(実施形態 36)

本実施形態では、図 70 に示すように、第 10 の実施形態 (図 10) の具体的な回路構成を示す。オフ型スイッチ 8 は nMOSFET で構成され、オン型スイッチ 9 は pMOSFET で構成され、それぞれのゲートに、経時変化回路ブロック 10 の出力線が接続されている。

【0256】

経時変化回路ブロック 10 は、 V_{dd} と V_{ss} 間に直列に接続された負荷抵抗 68 と自動オン型エイジングデバイス 3X で構成されている。すなわち、電荷蓄積ゲートに過剰電子が存在する期間は、自動オン型エイジングデバイス 3X はオ

フ状態にあるため、経時変化回路ブロック 10 からは、ハイの電圧（図中では、 V_{dd} と記載）が出力される。この状態では nMOSFET 8 はオン状態、pMOSFET 9 はオフ状態にあるため、I/O 端子 5 と第 1 の内部回路 6₁ の間で、信号が伝播する。

【0257】

時間が経過するとともに自動オン型エージングデバイス 3X がオン状態に移行して、経時変化回路ブロック 10 の出力がロウの電圧（図中では、 V_{ss} と記載）が出力される。この状態では nMOSFET 8 はオフ状態、pMOSFET 9 はオン状態にあるため、I/O 端子 5 と第 2 の内部回路 6₂ の間で信号が伝播する。

【0258】

図 71 に本実施形態の変形例を示す。図 70 に示した経時変化回路ブロック 10 の構成の場合、負荷抵抗 68 と自動オン型エージングデバイス 3X のチャネル抵抗との抵抗分配によって、出力電圧が決まるため、必ずしも V_{dd} または V_{ss} の電圧レベルになるわけではない。

【0259】

そこで、図 71 に示すように、自動オン型エージングデバイス 3X の出力に偶数段のインバータ 69、70 を接続することにより、経時変化回路ブロック 10 の出力を V_{dd} または V_{ss} に安定化する。

【0260】

なお、実施形態 12 で示した自動オフ型経時変化ブロック 36 には、自動オフ型エージングデバイスが使用されるが、この自動オフ型エージングデバイスは、例えば、図 67～69 のデバイスを変形することで実現できる。すなわち、ノーマリオフ型の MOSFET の電荷蓄積ゲートに、チャネルを反転させる過剰キャリアを注入し、時間の経過とともに過剰キャリアを放出させることで実現する。また、実施形態 14 乃至 29 の自動オフ型エージングデバイス 3 を使用することもできる。

【0261】

次に、上記実施形態に示したエージングデバイスが導通状態から非導通状態と

なる時間（寿命）を計算する方法を示す。

【0262】

先ず、電荷を保持するゲート電極（フローティングゲートを含む）の面積を S 、そのゲート電極下のゲート絶縁膜の厚さを T_{ox} 、誘電率を ϵ_{ox} とする。そしてこのゲート絶縁膜のしきい電圧を V_{th} とし、このゲートからの漏れ電流を I_{ag} とすると、エージングデバイスの寿命を以下の数式で計算できる。

【0263】

【数1】

$$\tau_{ag} = \frac{\epsilon_{ox} S}{T_{ox}} \left[\frac{\ln(I_{ag}(\Delta_0))}{\left(\frac{\partial I_{ag}}{\partial \Delta}\right)_{\Delta_0}} - \frac{\ln(I_{ag}(\Delta_{ag}))}{\left(\frac{\partial I_{ag}}{\partial \Delta}\right)_{\Delta_{ag}}} \right]$$

ただし、

【数2】

$$\Delta_0 = \frac{T_{ox}}{\epsilon_{ox}} \cdot Q_s, \quad \Delta_{ag} = B_0 \cdot \left(\sqrt{1 + \frac{2|V_{th}|}{B_0}} - 1 \right),$$

$$B_0 = \epsilon_{si} \cdot q \cdot N_B \cdot T_{ox}^2 / \epsilon_{ox}^2$$

であり、 Q_s は、ゲート電極に注入された電荷によるゲート電極下の表面電荷密度、 ϵ_{Si} はシリコンの誘電率、 q は素電荷、 N_B は基板濃度である。 I_{ag} は、実施形態によって表式が異なる。実施形態8及び実施形態9のPN接合をゲート電極に接続した例では、

【数3】

$$I_{ag}(\Delta(t)) = qA \left[\frac{1}{2} \frac{n_i}{\tau_0} W_D \exp\left(\frac{q \cdot V_{eff}(t)}{2k_B T}\right) + \left(\frac{D_e}{L_e} n_{p0} + \frac{D_h}{L_h} p_{n0}\right) \cdot \left(\exp\left(\frac{q \cdot V_{eff}(t)}{k_B T}\right) - 1\right) \right],$$

$$V_{eff}(t) = \frac{B_0}{2} \cdot \left[\left(1 + \frac{\Delta(t)}{B_0}\right)^2 - 1 \right]$$

の式が成り立つ。ここで、 A は接合面積、 $\Delta(t)$ はエージングポテンシャル、

t は時間、 n_i は真性キャリア濃度、 τ_0 は空乏層内でのキャリアの寿命、 W_D は接合周りの空乏層幅、 k_B はボルツマン定数、 T は絶対温度、 D_e は電子の拡散係数、 L_e は電子の拡散長、 n_{p0} は p 型シリコン内での電子濃度、 D_h は正孔の拡散係数、 L_h は正孔の拡散長、 p_{n0} は n 型シリコン内での正孔濃度である。

【0264】

実施形態 16 から実施形態 19 に対応する I_{ag} は次の式で与えられる。

【0265】

【数 4】

$$I_{ag}(\Delta(t)) = qA \left[\frac{1}{2} \frac{n_i}{\tau_0} W_D \exp\left(\frac{q \cdot V_{eff}(t)}{2k_B T}\right) + \left(\frac{D_e}{L_e} n_{p0} + \frac{D_h}{L_h} p_{n0}\right) \cdot \left(\exp\left(\frac{q(V_{eff}(t) - V_B)}{k_B T}\right) - 1\right) \right]$$

【0266】

ただし、 V_B はベース電圧である。

【0267】

実施形態 20 及び実施形態 21 のショットキー接合を用いた場合は、

【数 5】

$$I_{ag} = A \cdot R \cdot T^2 \exp\left(-\frac{q\phi_B}{k_B T}\right) \cdot \left[\exp\left(\frac{q \cdot V_{eff}(t)}{k_B T}\right) - 1\right]$$

となる。ただし、 R はリチャードソン定数、 ϕ_B はショットキーバリアの高さである。

【0268】

実施形態 22 から実施形態 25 に対応する I_{ag} は次の式で与えられる。

【0269】

【数 6】

$$I_{ag}(\Delta(t)) = \frac{W_G}{L_G} \mu_n C_{ox} \left[(V_G - V_{TH}) V_{eff}(t) - (V_{eff}(t))^2 \right]$$

【0270】

ただし、 W_G は電荷を保持させるゲートに接続する MOSFET のゲート幅、 L_G は電荷を保持させるゲートに接続する MOSFET のゲート長、 μ_n は電荷

を保持させるゲートに接続する MOSFET のモビリティ、 C_{ox} は電荷を保持させるゲートに接続する MOSFET のゲート容量、 V_G は荷を保持させるゲートに接続する MOSFET のゲートに印加する電圧である。

【0271】

実施形態 26 から実施形態 29 に対応する I_{ag} は次の式である。

【0272】

【数 7】

$$I_{ag}(\Delta(t)) = A \frac{24qm_{DE}}{\pi^2 h^3} \int dE \cdot \sqrt{(E-EC_1) \cdot (E-EC_2)} \cdot (f_1(\Delta(t)) - f_2) \times D(E)$$

【0273】

ただし、 m_{DE} は状態密度有効質量、 EC_1 は浮遊ゲートの伝導帯端、 EC_2 は基板表面の伝導帯端、 f_1 は浮遊ゲートでの電子の占有確率、 f_2 は基板表面での電子の占有確率、 $D(E)$ は、エネルギー E の電子が浮遊ゲートと制御ゲートの間をトンネルする確立である。また、計算方法は、特開 2002-76338 に開示している。

【0274】

以上で本発明の I_{ag} の表式をすべて記述した。続いて、一例として PN 接合を用いた I_{ag} による寿命 (τ_{ag}) の計算結果を示しておく。この計算によって、エージングデバイスの構造を決める様々なパラメータに応じて τ_{ag} がどのように変化するのかが明らかになり、製造上の条件やシステムの性能、あるいは、ユーザーの要望などに応じて最適なデバイス構造を決定することができる。尚、他の I_{ag} を用いた計算はここで説明する例とほぼ同様に行えるので詳しい説明は省略する。

【0275】

図 72 はしきい電圧依存性を表したものである。横軸は、しきい値を示し、縦軸は寿命を示す。

【0276】

このように、しきい電圧を上げると寿命が短くなるのが判る。半導体基板やポリシリコンの不純物濃度を用いて、数週間から数ヶ月の間で寿命を調節するのに

適していることを示している。

【0277】

図73は、ゲート絶縁膜の膜厚依存性を示している。横軸はゲート絶縁膜の厚さを示し、縦軸は寿命を示す。

【0278】

このように、ゲート絶縁膜を厚くするとしきい値が高くなり、結果として寿命が短くなる。10nm以上で膜厚依存性が弱いため、数ヶ月単位で寿命の調整を行う際有利である。

【0279】

図74は、PN接合の接合面積に対する依存性を表したものである。横軸はPN接合の接合面積を示し、縦軸は寿命を示す。

【0280】

このように、接合面積を大きくするとリーク電流が増大し、寿命が縮まるのが判る。ゲート面積にもよるが、大体数ヶ月から数年の寿命調整に適當である。

【0281】

図75は、PN接合の不純物濃度依存性を示している。横軸は接合のアクセプター濃度を対数で示し、縦軸は寿命を示す。

【0282】

このように、ドナーもアクセプターも高濃度になるほど寿命は長くなる傾向がある。寿命の調整には、図中で傾きが比較的低い領域を用いるのが有利である。たとえば、ドナー濃度が $1 \times 10^{16} \text{ cm}^{-3}$ なら、アクセプター濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 以上のところではばらつきの少ない寿命が設計できる。

【0283】

また、寿命は、図74にも見られるとおり、接合面積に比例して短くなる。この性質とともに併用すれば小さな誤差の範囲で自由に寿命を調節することが可能となる。

【0284】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上

記実施形態に開示されている複数の構成要素の適宜な組合せにより種々な発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【0285】

【発明の効果】

本発明によれば、所定の時間経過した後に、2つの機能ブロック間の信号線に介在、若しくは接続された半導体時限スイッチにより、2つの機能ブロックを切断若しくは接続でき、2つの機能を併せることにより得られる所望の機能に有効期限を設けることができる。また、所定時間経過後、I/O端子から利用できる内部回路の情報または機能を切り替えることが出来る。

【0286】

半導体時限スイッチの寿命は、MOS構造への電荷の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調整することによって、正確な動作寿命を設定することができる。またデバイスの構造パラメータで決定した寿命は設計及び初期の電荷注入時においてのみ設定可能なので、寿命の改ざんを防ぐことのできる有効期限付き機能利用装置を提供することができる。

【0287】

もし上記のような寿命制御技術が安価に提供できれば、マイクロチップのような無線ICタグ(RFID)に搭載することが可能となる。固体エージングデバイスによって有効期限化された暗号鍵を搭載したRFIDの応用例は無数にある。

【0288】

第1の例は、輸送システムに応用するものである。コンテナ中のパッケージを一つ一つチェックすることは限界があり、テロを目的とした大量破壊兵器の原料や違法薬物などが一般の輸送システムに紛れ込む危険性がある。そこで、輸送システムの安全性を確保するため、全ての輸送用パッケージにRFIDを添付することを義務付ける動きがある。

【0289】

しかしながら、正規に使用されたパッケージのRFIDを使用後に剥ぎ取り、タンパリングした後内部情報を不正に更新し、再利用することは技術的にそれほど難しくなく、使用後RFIDの回収を義務化する必要がある。僅かなRFIDがこの回収作業から漏れても、それがテロリストの手に渡れば大きな社会不安の種となる。また、回収そのものに余分なコストが必要となる。そこで、タグに記録する暗号鍵を固体エージングデバイスで有効期限化しておけば回収する手間が省け、安全性を損なうことなくコストダウンが実現できる。

【0290】

第2の例は、消費期限のある商品への応用である。生鮮食品のパッケージにRFIDを添付してトレーサビリティを確保しようという動きがあるが、タグを改ざんしたり、張り替えたり、パッケージそのものを取り替えたりすればその効果は半減する。そこで、公的機関が一元管理して配布する暗号鍵を、固体エージングデバイスによって有効期限化することが必要となる。消費期限内に流通しなければRFIDに搭載した暗号鍵が読み取れなくなり、消費者は、携帯電話等に埋め込まれたセンサーによって、商品が消費期限内か否かを知ることが出来る。

【0291】

第3の例は、ブランド価値維持に応用するものである。消費期限切れした口紅や香水などを安売りする店があり、メーカーはブランド商品の価格を下げなければ売上げを維持できないという状況が生まれている。消費者は、このような商品に消費期限があることをあまり意識していないのである。第2の例と同様に、固体エージングデバイスによってRFIDに搭載した暗号鍵を有効期限化しておけば、そのRFIDを添付したブランド化粧品を買うため手に取ったとき、携帯電話に消費期限切れであることを自動的に通知することが可能となる。これによって、消費者に、このような商品にも消費期限があることを訴えることが出来る。

【0292】

第4の例は、固体エージングデバイスにより有効期限化されたRFIDを挟み込んだシールである。このシールを用いれば、高価なICカードなどなくとも、このシールを貼り付けるだけで、会員証や入場券等に有効期限を設けることが出

来る。この場合、一般の消費者（個人商店、学校、職場、家庭、友達、サークル等）が手軽に有効期限付き認証を発行できるようになる。また、投票用紙や公文書に応用する例も出てくるだろう。このように、固体エージングデバイスと R F I D を組み合わせることで無数の応用例が出てくる。

【0293】

固体エージングデバイスの応用例は、二つに大別できる。一つは、バッテリーレス電子タイマであり、システム L S I への搭載が有望である。もう一つは、有効期限付き暗号鍵であり、R F I D への搭載が有望である。

【図面の簡単な説明】

【図1】

本発明の実施形態1に係る有効期限付き利用装置の概念図。

【図2】

本発明の実施形態2に係る有効期限付き利用装置の概念図。

【図3】

本発明の実施形態3に係る有効期限付き利用装置の概念図。

【図4】

本発明の実施形態4に係る有効期限付き利用装置の概念図。

【図5】

本発明の実施形態5に係る有効期限付き利用装置の概念図。

【図6】

本発明の実施形態6に係る有効期限付き利用装置の概念図。

【図7】

本発明の実施形態7に係る有効期限付き利用装置の概念図。

【図8】

本発明の実施形態8に係る有効期限付き利用装置の概念図。

【図9】

本発明の実施形態9に係る有効期限付き利用装置の概念図。

【図10】

本発明の実施形態10に係る有効期限付き利用装置の概念図。

【図 1 1】

本発明の実施形態 1 1 に係る有効期限付き利用装置の概念図。

【図 1 2】

本発明の実施形態 1 2 に係る有効期限付き利用装置の概念図。

【図 1 3】

本発明の実施形態 1 3 に係る有効期限付き利用装置の概念図。

【図 1 4】

本発明の実施形態 1 4 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 1 5】

本発明の実施形態 1 4 に係るエージングデバイスの動作原理を説明する模式的な断面図及び結線図。

【図 1 6】

本発明の実施形態 1 4 に係るエージングデバイスの動作原理を説明するエネルギーバンド図。

【図 1 7】

本発明の実施形態 1 4 に係るエージングデバイスの動作原理を説明する模式的な断面図及び結線図。

【図 1 8】

本発明の実施形態 1 4 に係るエージングデバイスの動作原理を説明するエネルギーバンド図。

【図 1 9】

本発明の実施形態 1 4 に係るエージングデバイスの具体的な構成例を示す断面図及び結線図。

【図 2 0】

本発明の実施形態 1 5 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 2 1】

本発明の実施形態 1 5 に係るエージングデバイスの動作原理を説明する模式的

な断面図及び結線図。

【図 2 2】

本発明の実施形態 1 5 に係るエージングデバイスの動作原理を説明するエネルギーバンド図。

【図 2 3】

本発明の実施形態 1 5 に係るエージングデバイスの動作原理を説明する模式的な断面図及び結線図。

【図 2 4】

本発明の実施形態 1 5 に係るエージングデバイスの動作原理を説明するエネルギーバンド図。

【図 2 5】

本発明の実施形態 1 5 に係るエージングデバイスの具体的な構成例を示す断面図及び結線図。

【図 2 6】

本発明の実施形態 1 6 に係るエージングデバイスの模式的な断面図及び結線図。

【図 2 7】

本発明の実施形態 1 6 に係るエージングデバイスの動作原理を説明する模式的な断面図及び結線図。

【図 2 8】

本発明の実施形態 1 7 に係るエージングデバイスの模式的な断面図及び結線図。

【図 2 9】

本発明の実施形態 1 8 に係るエージングデバイスの模式的な断面図及び結線図。

【図 3 0】

本発明の実施形態 1 8 に係るエージングデバイスの模式的な断面図及び結線図。

【図 3 1】

本発明の実施形態 19 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 3 2】

本発明の実施形態 19 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 3 3】

本発明の実施形態 20 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 3 4】

本発明の実施形態 20 に係るエージングデバイスの具体的構成例を示す模式的な断面図及び結線図。

【図 3 5】

本発明の実施形態 21 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 3 6】

本発明の実施形態 21 に係るエージングデバイスの具体的構成例を示す模式的な断面図及び結線図。

【図 3 7】

本発明の実施形態 22 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 3 8】

本発明の実施形態 23 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 3 9】

本発明の実施形態 24 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 4 0】

本発明の実施形態 25 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 4 1】

本発明の実施形態 26 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 4 2】

本発明の実施形態 26 に係るエージングデバイスの電荷注入方法を示す模式的な断面図及び結線図。

【図 4 3】

本発明の実施形態 26 に係るエージングデバイスの他の電荷注入方法を示す模式的な断面図及び結線図。

【図 4 4】

本発明の実施形態 26 に係るエージングデバイスの動作方法を示す模式的な断面図及び結線図。

【図 4 5】

本発明の実施形態 26 に係るエージングデバイスの他の動作方法を示す模式的な断面図及び結線図。

【図 4 6】

本発明の実施形態 27 に係るエージングデバイスの模式的な斜視図及び平面図

。

【図 4 7】

本発明の実施形態 27 に係るエージングデバイスの電荷注入方法を示す模式的な平面図。

【図 4 8】

本発明の実施形態 27 に係るエージングデバイスの動作方法を示す模式的な平面図。

【図 4 9】

本発明の実施形態 28 に係るエージングデバイスの模式的な断面図及び結線図

。

【図 5 0】

本発明の実施形態 28 に係るエージングデバイスの電荷注入方法を示す模式的

な断面図。

【図 5 1】

本発明の実施形態 28 に係るエージングデバイスの他の電荷注入方法を示す模式的な断面図。

【図 5 2】

本発明の実施形態 28 に係るエージングデバイスの動作方法を示す模式的な断面図。

【図 5 3】

本発明の実施形態 29 に係るエージングデバイスの模式的な断面図及び結線図。

【図 5 4】

本発明の実施形態 29 に係るエージングデバイスの電荷注入方法を示す模式的な断面図。

【図 5 5】

本発明の実施形態 29 に係るエージングデバイスの他の電荷注入方法を示す模式的な断面図。

【図 5 6】

本発明の実施形態 29 に係るエージングデバイスの動作方法を示す模式的な断面図。

【図 5 7】

本発明の実施形態 30 に係るエージングデバイスの模式的な平面図及び断面図。

【図 5 8】

本発明の実施形態 30 に係るエージングデバイスの電荷注入方法及び動作方法を示す模式的な断面図及び寿命特性を示すグラフ。

【図 5 9】

本発明の実施形態 30 に係るエージングデバイスの他の電荷注入方法及び動作方法を示す模式的な断面図及び寿命特性を示すグラフ。

【図 6 0】

本発明の実施形態 30 に係るエージングデバイスのさらに他の電荷注入方法及び動作方法を示す模式的な断面図及び寿命特性を示すグラフ。

【図 6 1】

本発明の実施形態 30 に係るエージングデバイスのさらに他の電荷注入方法及び動作方法を示す模式的な断面図及び寿命特性を示すグラフ。

【図 6 2】

本発明の実施形態 31 に係るエージングデバイスの模式的な平面図及び断面図。

【図 6 3】

本発明の実施形態 32 に係るエージングデバイスの模式的な平面図及び断面図。

【図 6 4】

本発明の実施形態 33 に係るエージングデバイスの模式的な平面図及び断面図。

【図 6 5】

本発明の実施形態 34 に係るエージングデバイスの模式的な平面図及び断面図。

【図 6 6】

本発明の実施形態 35 に係るエージングデバイスの回路図。

【図 6 7】

本発明の実施形態 35 に係るエージングデバイスの模式的な断面図及び結線図。

【図 6 8】

本発明の実施形態 35 に係るエージングデバイスの平面図及び断面図。

【図 6 9】

本発明の実施形態 35 の変形例に係るエージングデバイスの平面図及び断面図。

【図 7 0】

本発明の実施形態 36 に係るエージングデバイスの回路図。

【図 7 1】

本発明の実施形態 3 6 の変形例に係るエージングデバイスの回路図。

【図 7 2】

寿命のしきい電圧依存性を示したグラフ。

【図 7 3】

寿命のゲート絶縁膜の厚さ依存性を表したグラフ。

【図 7 4】

寿命の接合面積依存性を表したグラフ。

【図 7 5】

寿命の不純物濃度依存性を表したグラフ。

【符号の説明】

- 1…第 1 の機能ブロック
- 2…第 2 の機能ブロック
- 3…自動オフ型エージングデバイス
- 3 X…自動オン型エージングデバイス
- 4…L S I
- 5…I / O 端子
- 6…内部回路
- 7…信号線
- 8…オフ型スイッチ
- 9…オン型スイッチ
- 1 0…自動オン型経時変化回路ブロック
- 1 1…半導体基板
- 1 2…ゲート絶縁膜
- 1 3…ゲート電極
- 1 4…ソース領域
- 1 5…ドレイン領域
- 1 6…p n 接合
- 1 7…p n p 接合

- 18... n^+nn^+ 接合
- 19... p^+pp^+ 接合
- 20... npn 接合
- 21...ショットキー接合
- 22...ショットキー接合
- 23... $nMOSFET$
- 24... $pMOSFET$
- 25... $nMOSFET$
- 26... $pMOSFET$
- 27...フローティングゲート
- 28...絶縁膜
- 29...コントロールゲート
- 30...端部
- 31...側面ゲート
- 32...ゲート中に形成された pn 接合
- 33...ゲート中に形成された pn 接合
- 34...ゲート中に形成されたショットキー接合
- 35...ゲート中に形成されたショットキー接合
- 36...自動オフ型経時変化回路ブロック
- 41...半導体基板
- 42、65...ソース領域
- 43、64...ドレイン領域
- 44...浮遊ゲート電極
- 45...制御ゲート電極
- 46...チャネル領域
- 47、66...素子分離領域
- 48、49...ゲート絶縁膜
- 50...メタル配線
- 61... $MOSFET$

6 2 …電荷蓄積ゲート

6 3 …ダイオード

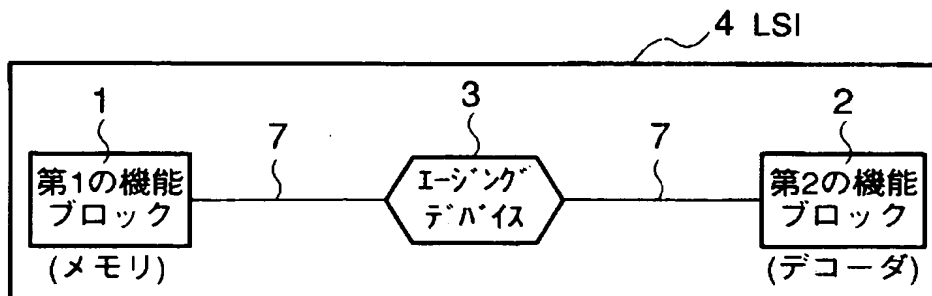
6 7 …p+ 領域

6 8 …p - w e l l

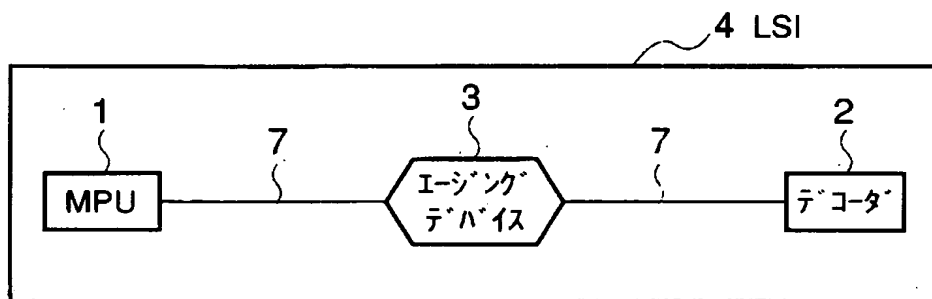
【書類名】

図面

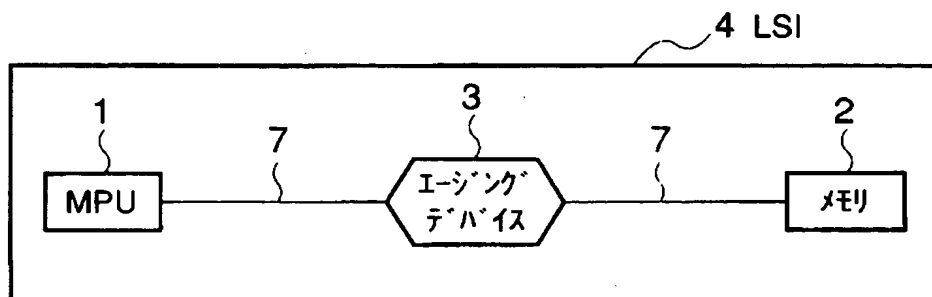
【図 1】



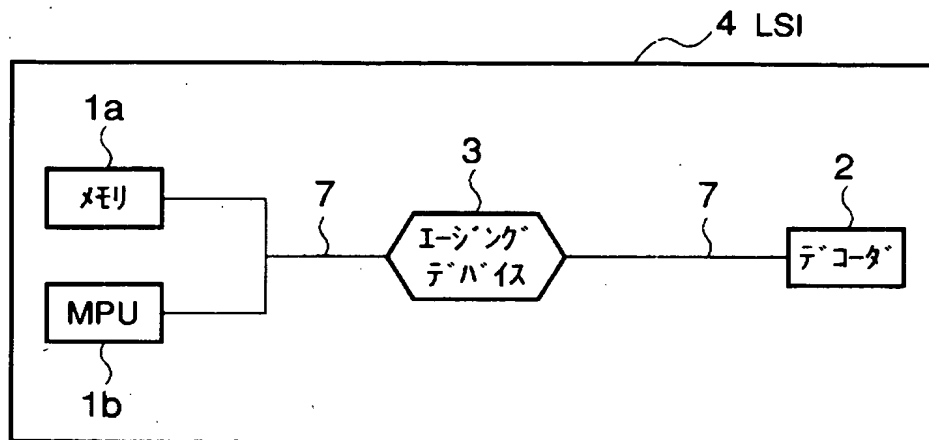
【図 2】



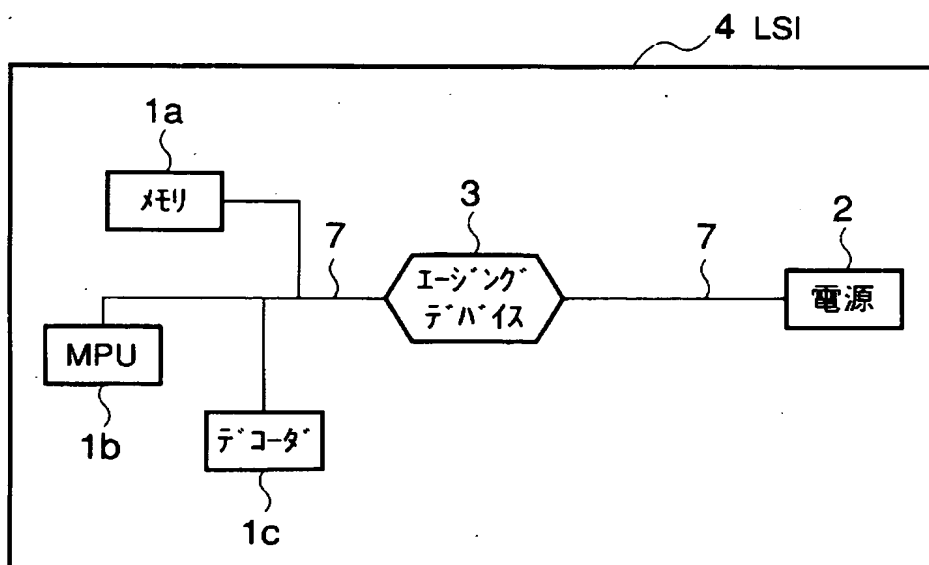
【図 3】



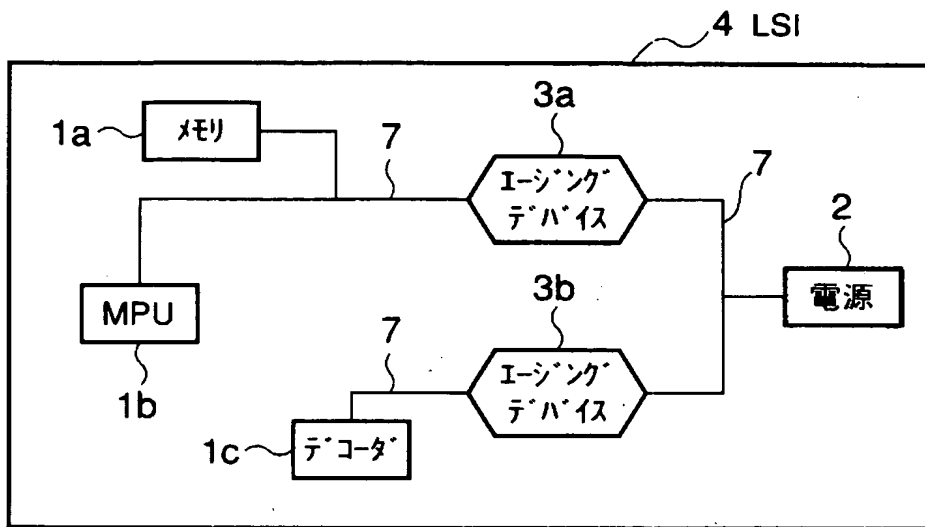
【図 4】



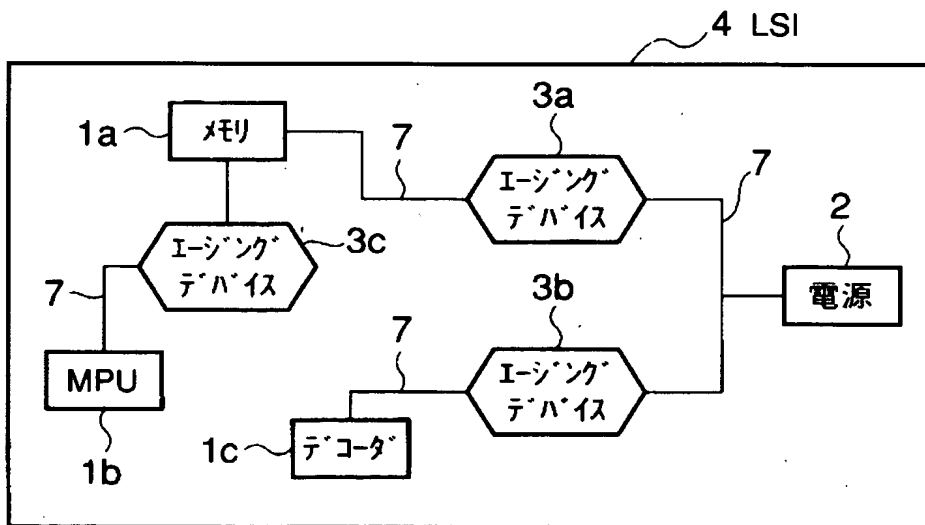
【図 5】



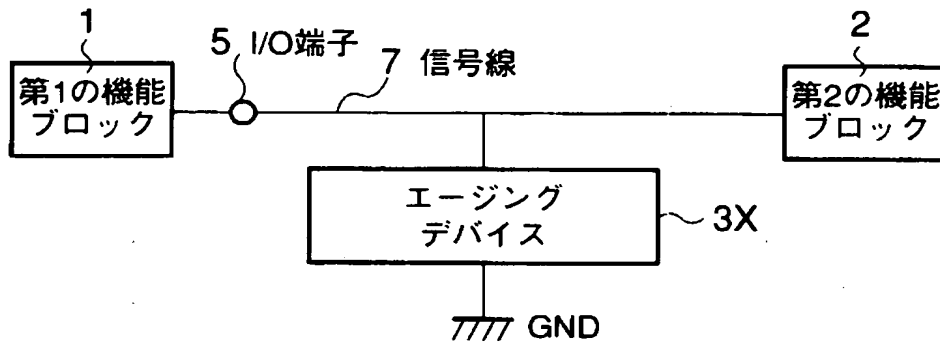
【図 6】



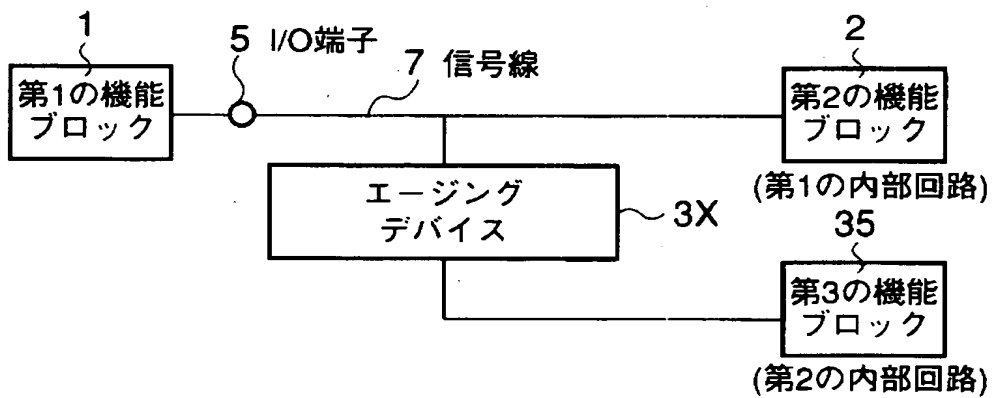
【図 7】



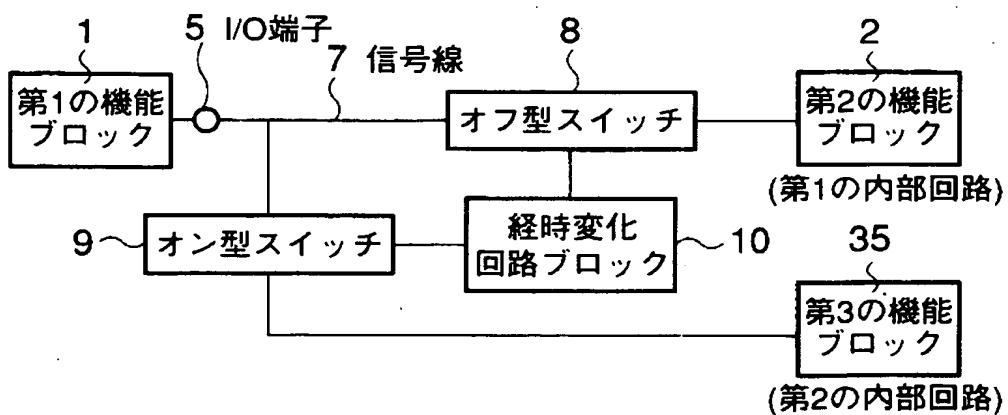
【図 8】



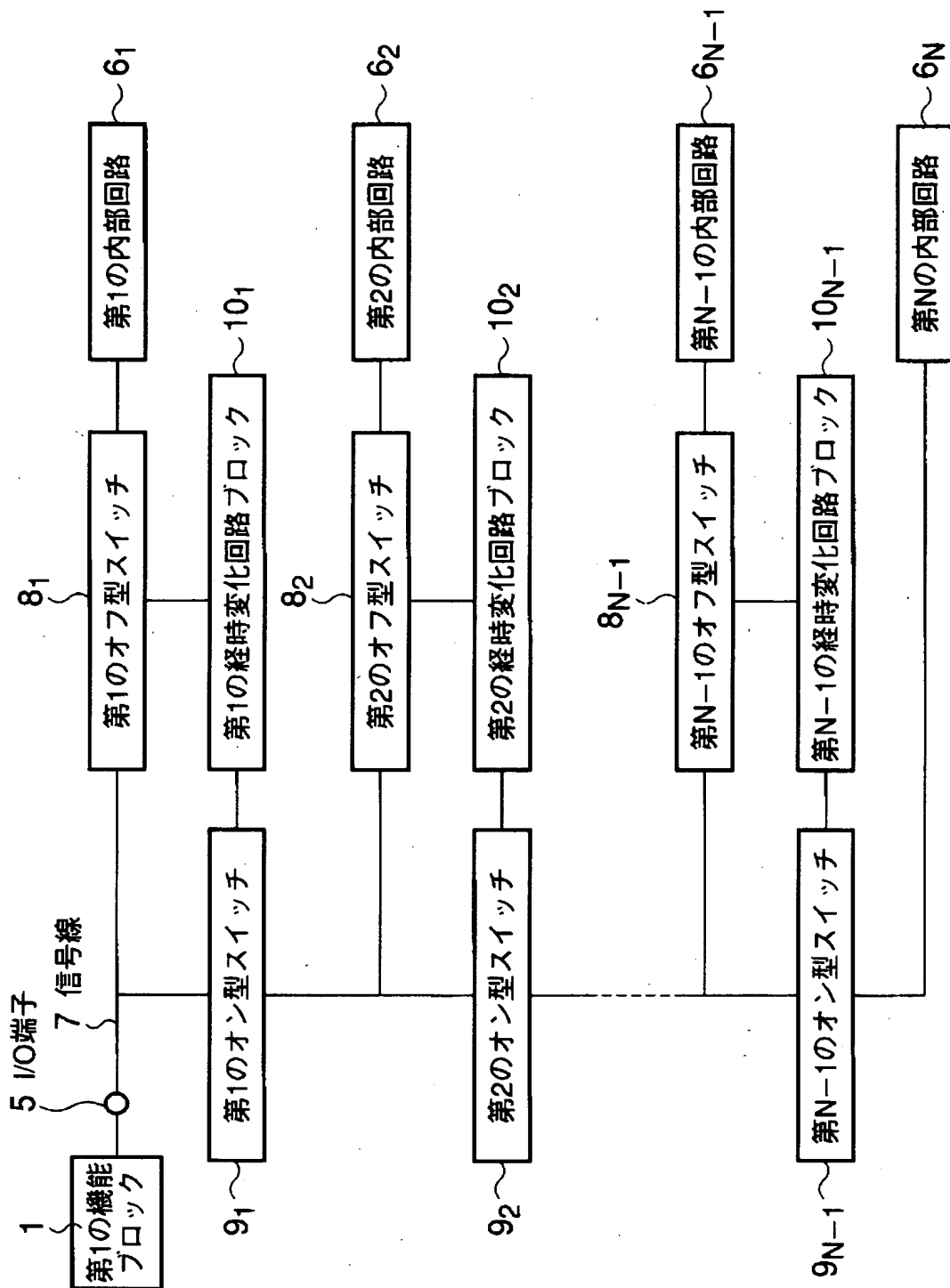
【図 9】



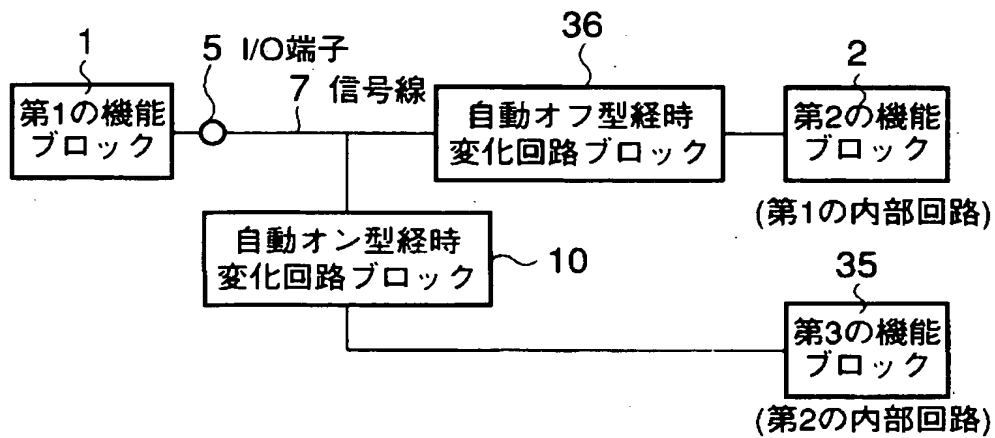
【図 10】



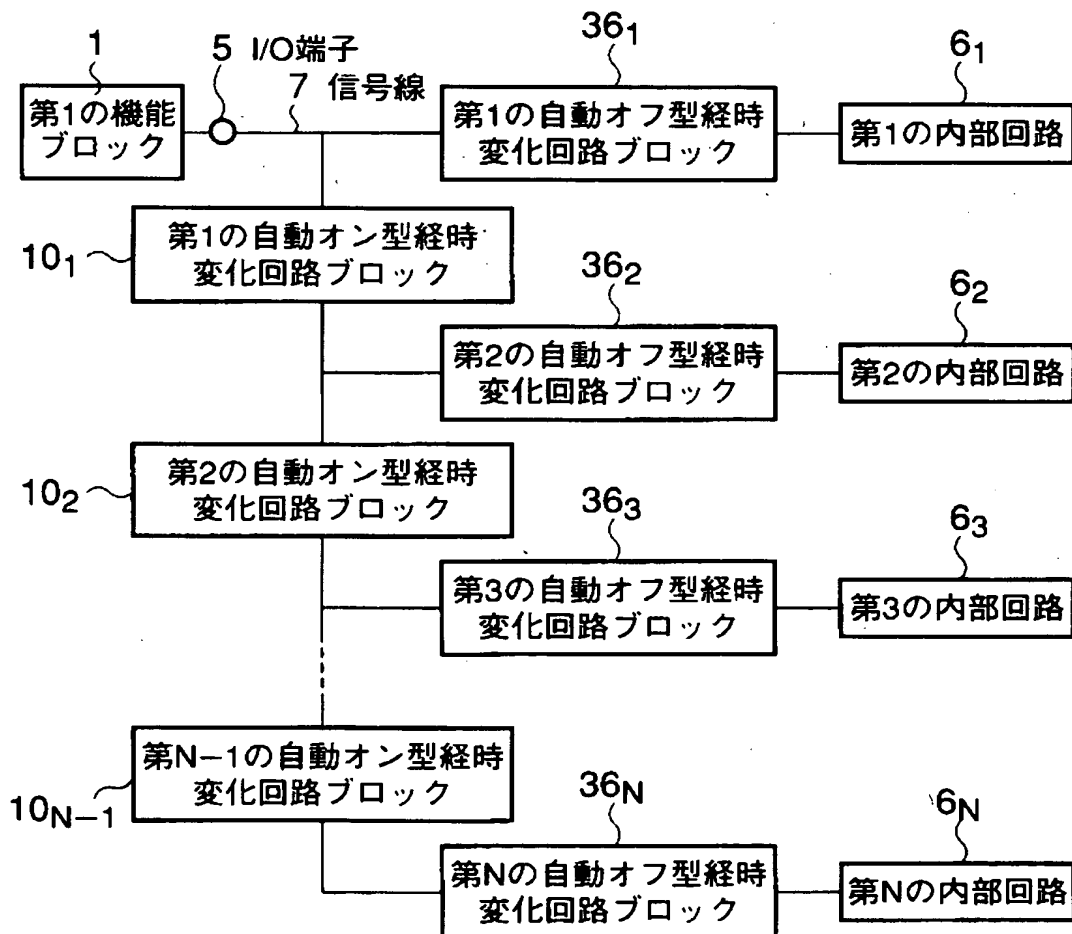
【図 11】



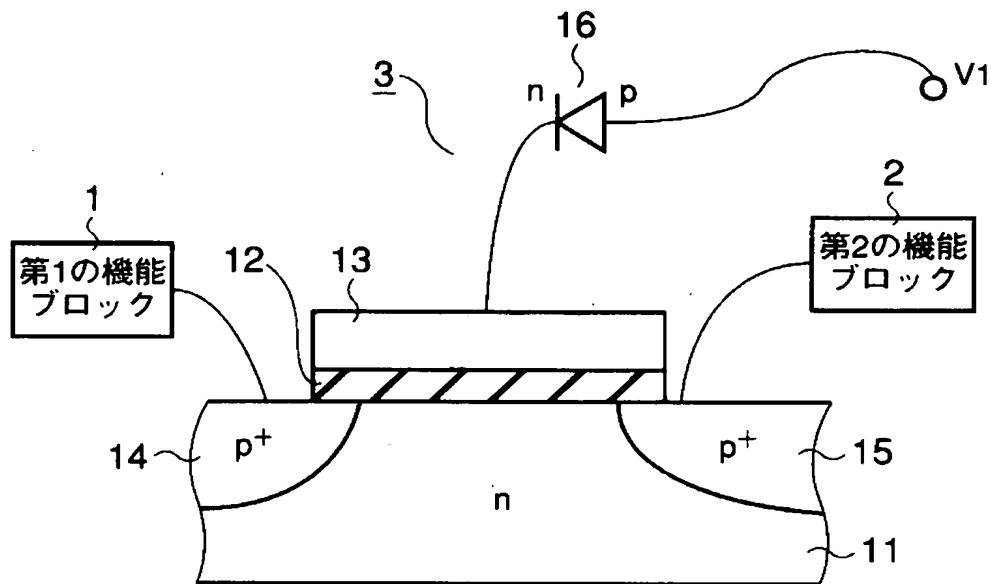
【図 12】



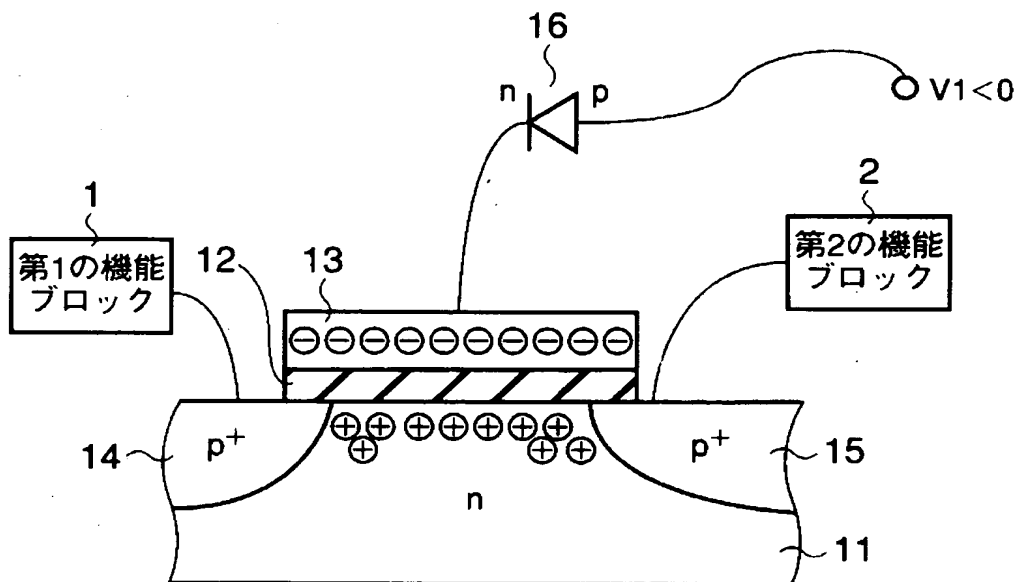
【図 13】



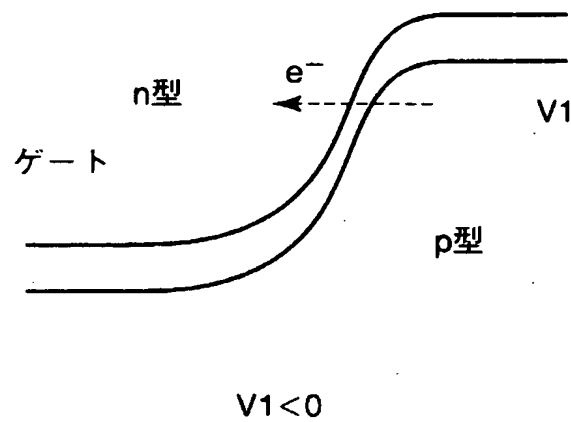
【図14】



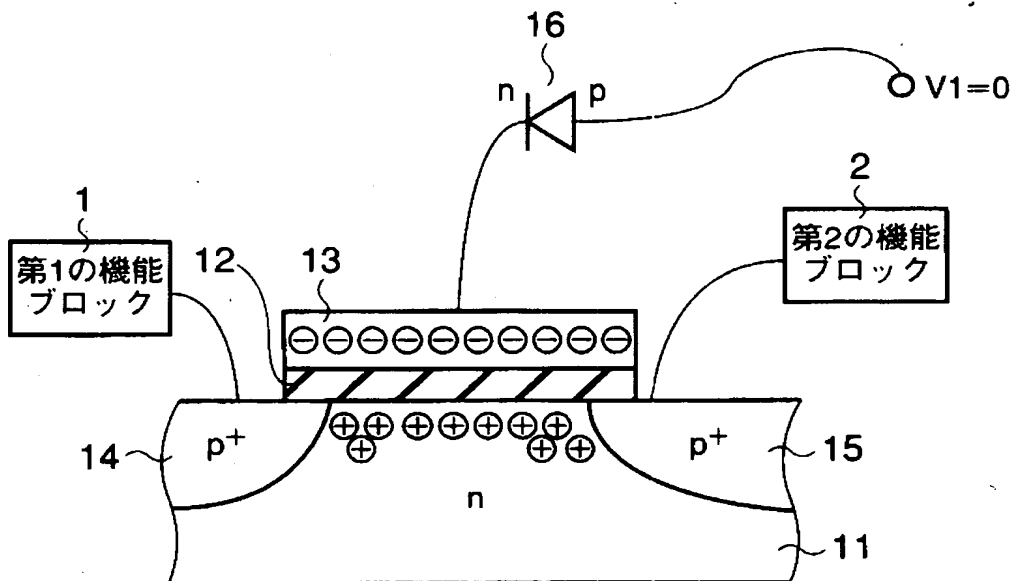
【図15】



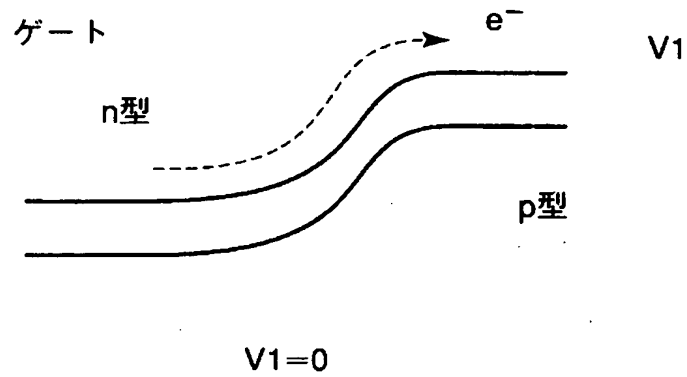
【図 16】



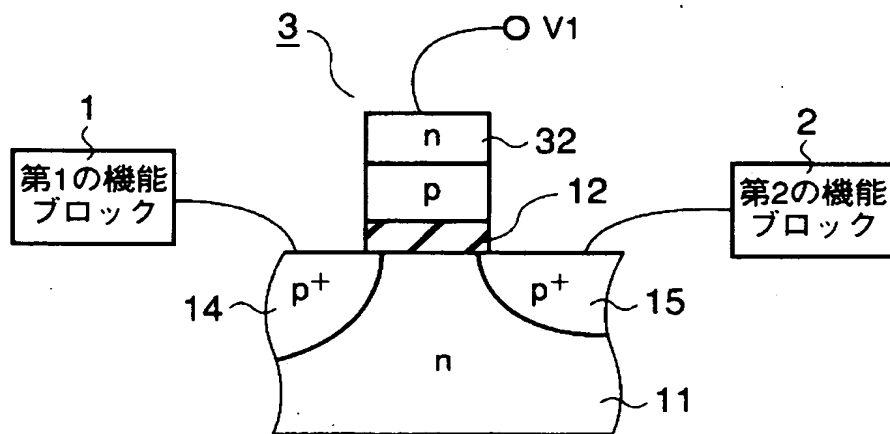
【図 17】



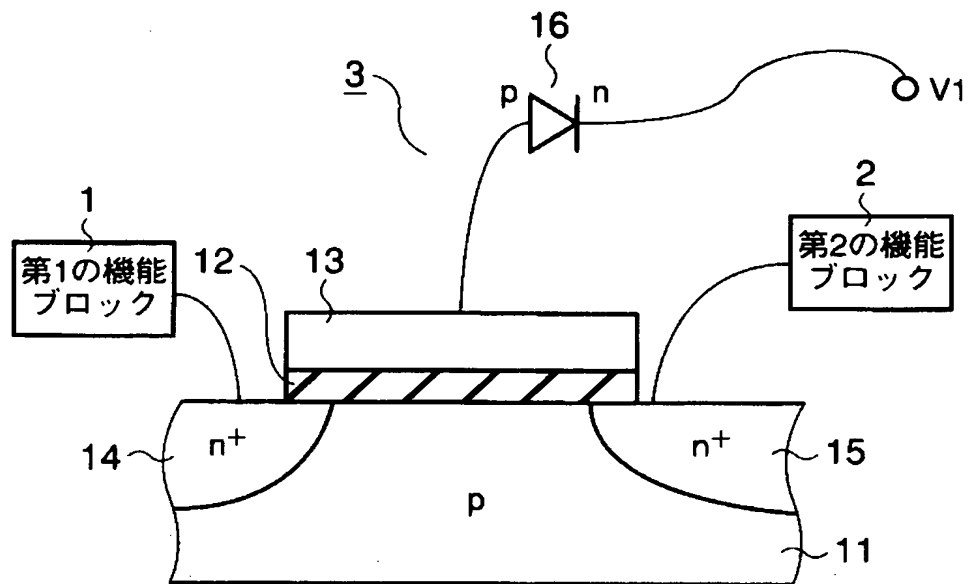
【図 18】



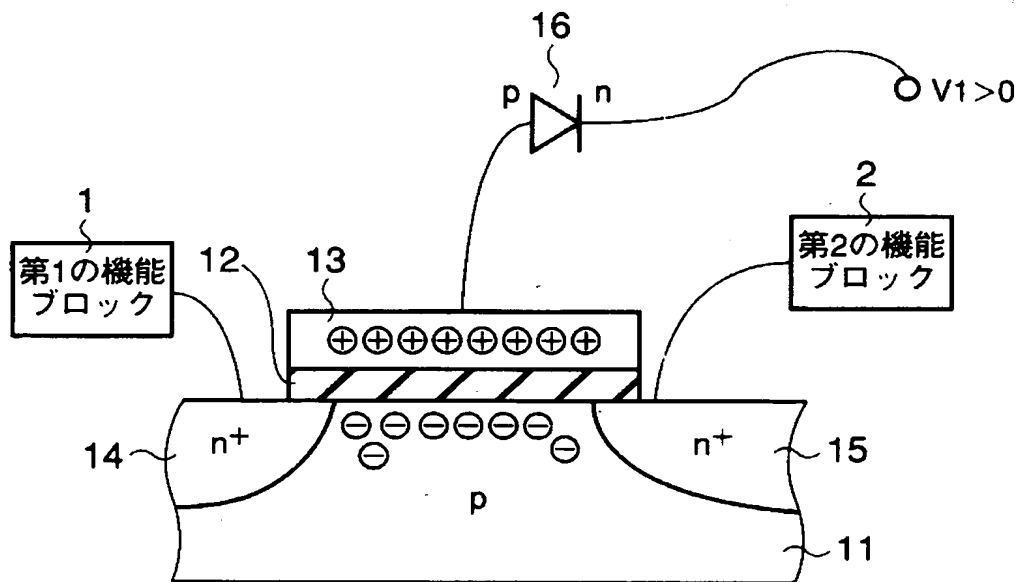
【図 19】



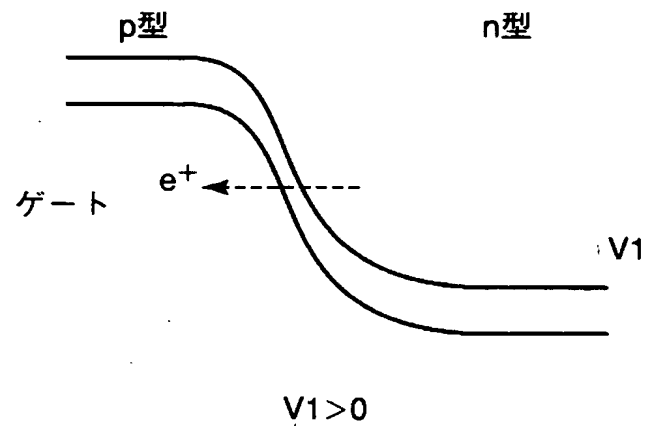
【図 20】



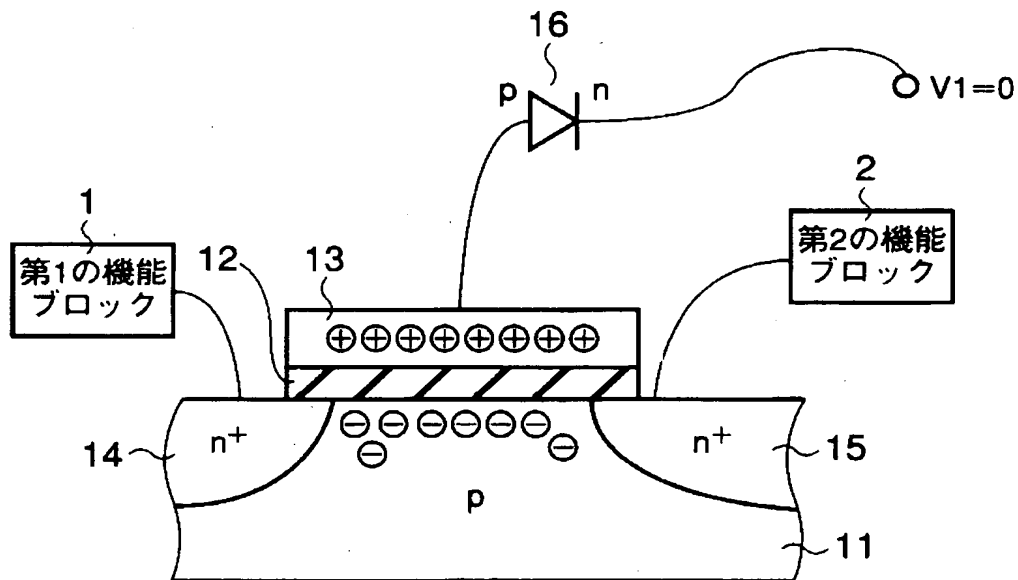
【図 21】



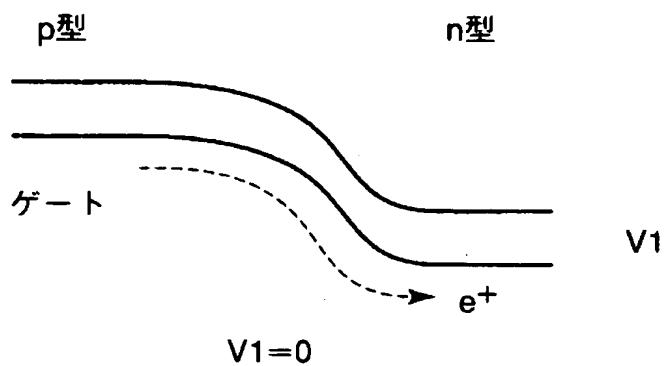
【図 2 2】



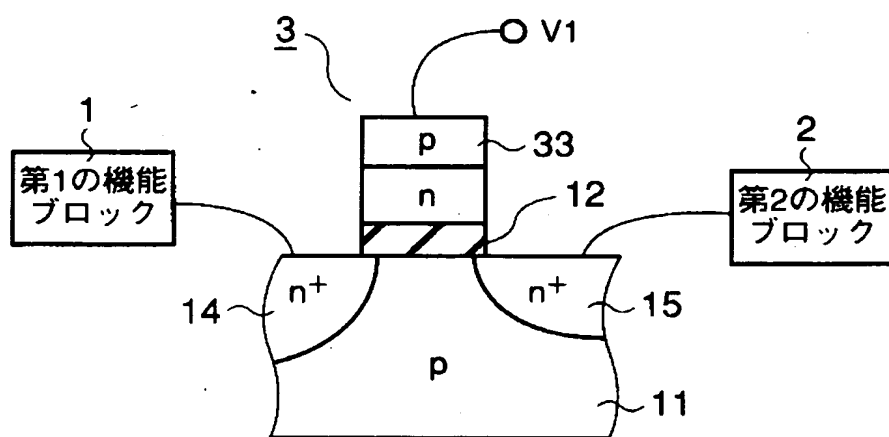
【図 2 3】



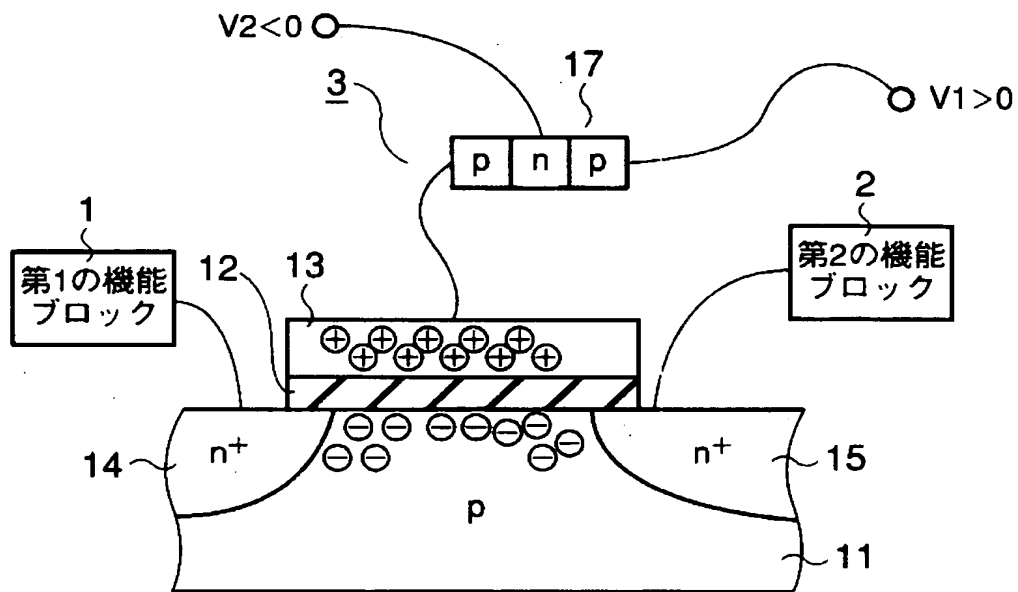
【図 24】



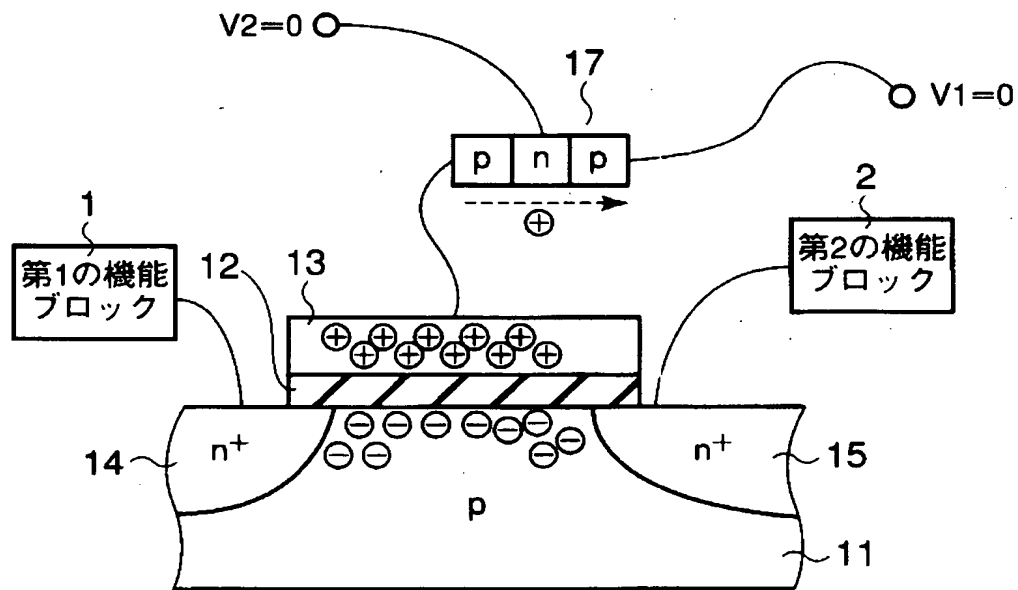
【図 25】



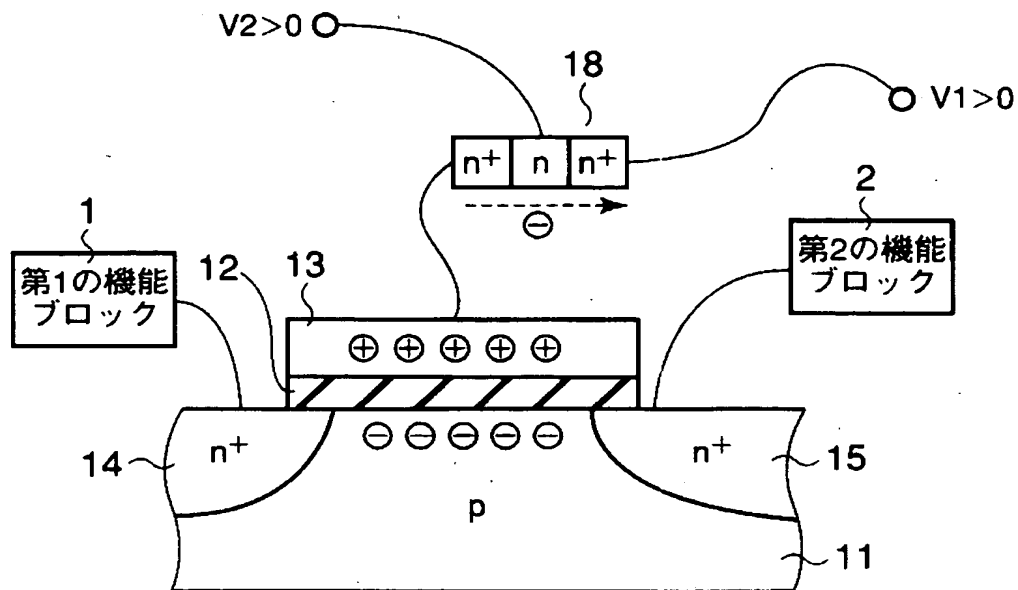
【図 26】



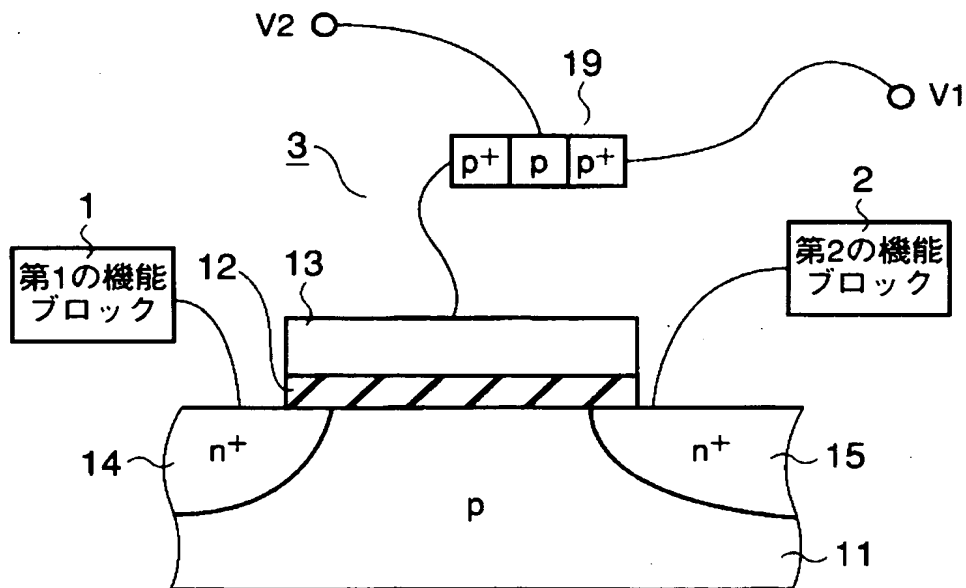
【図 27】



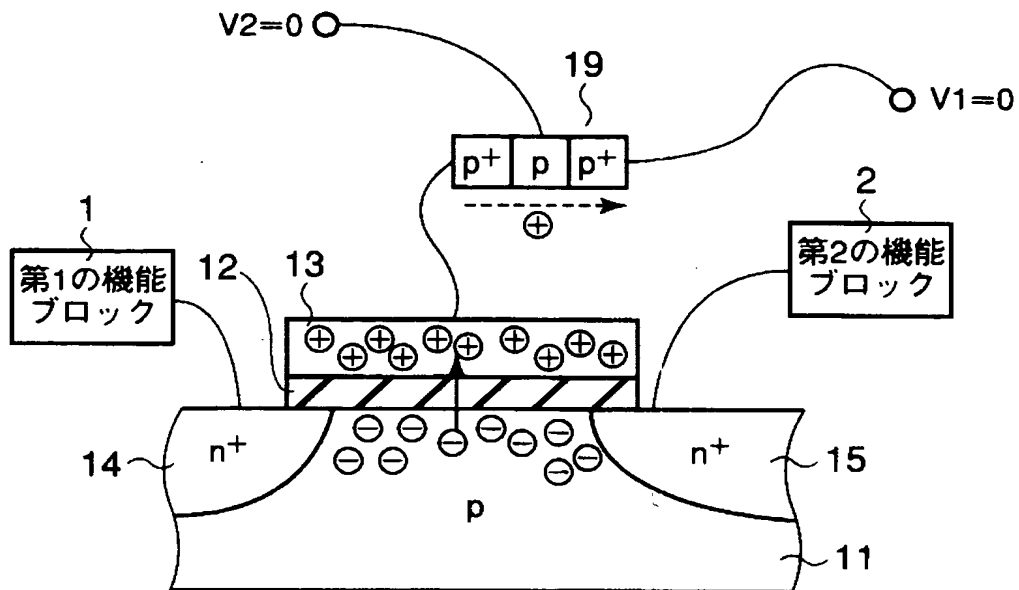
【図 28】



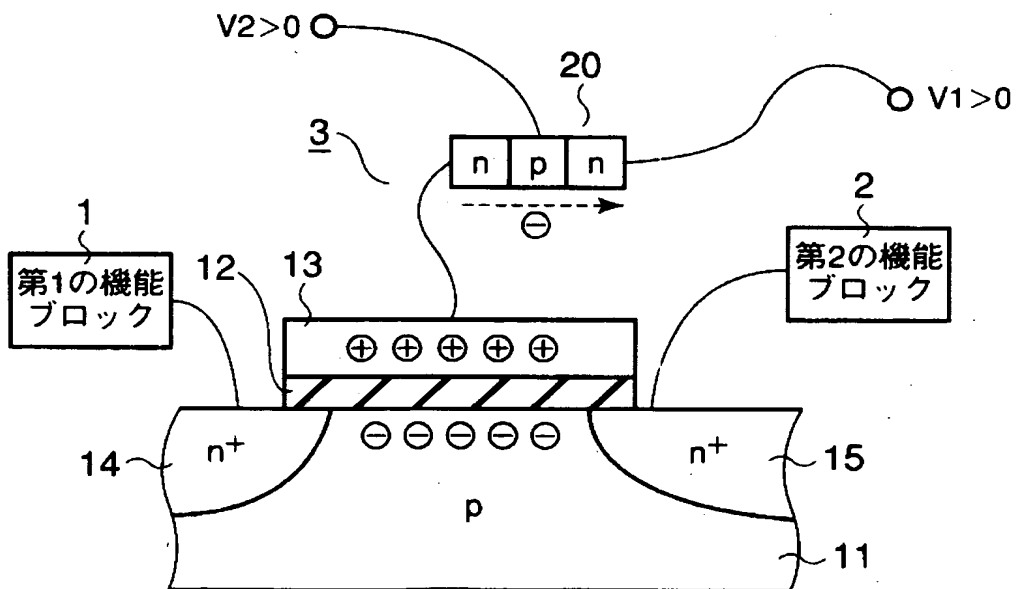
【図 29】



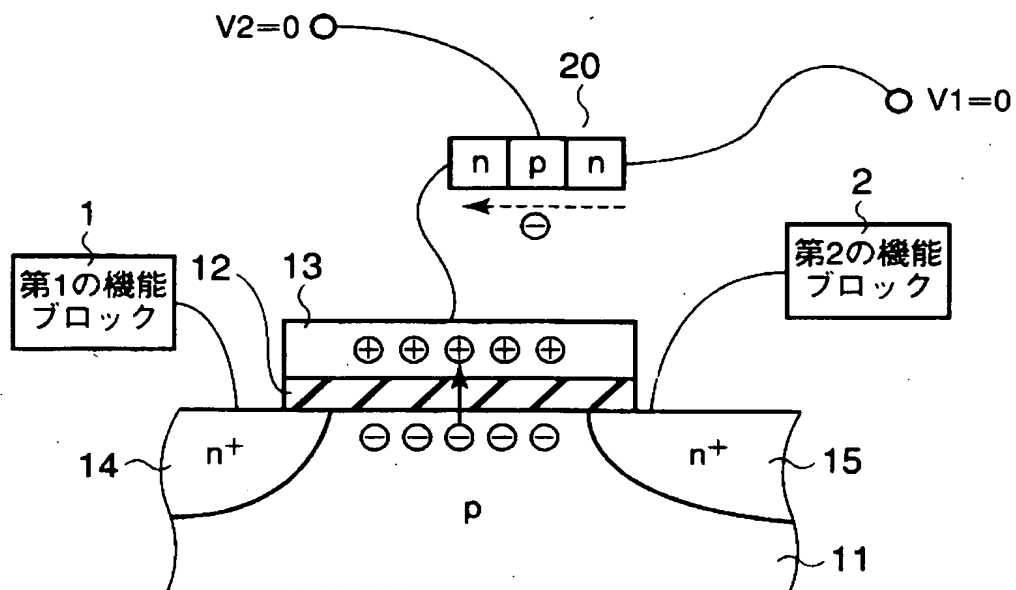
【図 30】



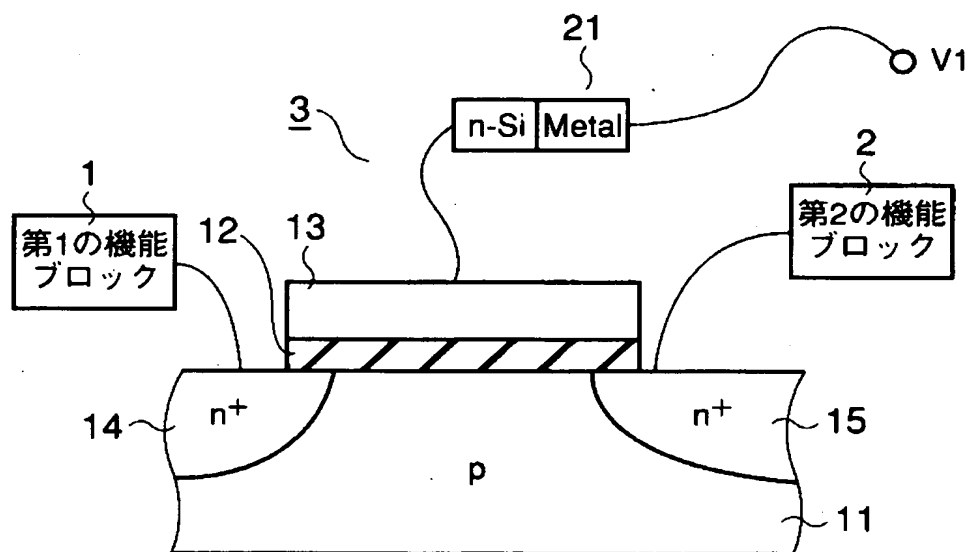
【図 31】



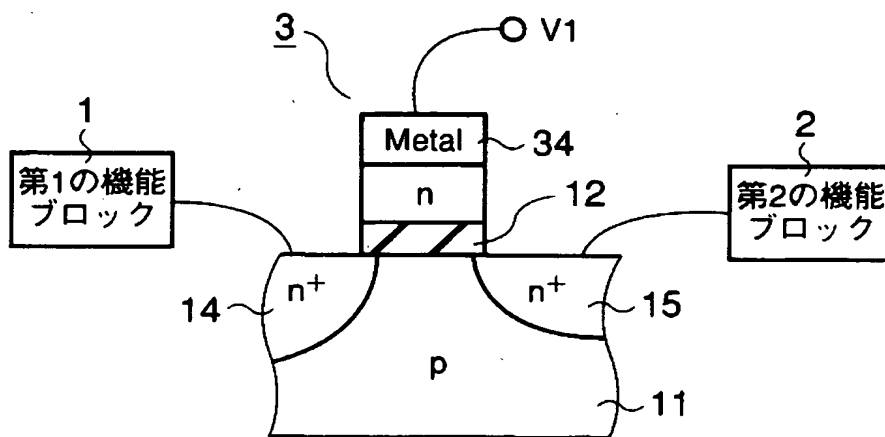
【図 3 2】



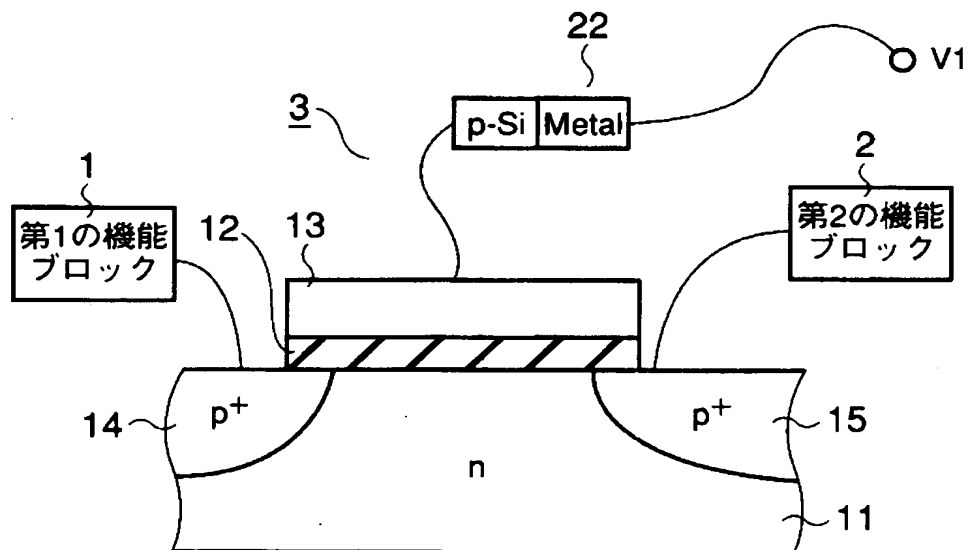
【図 3 3】



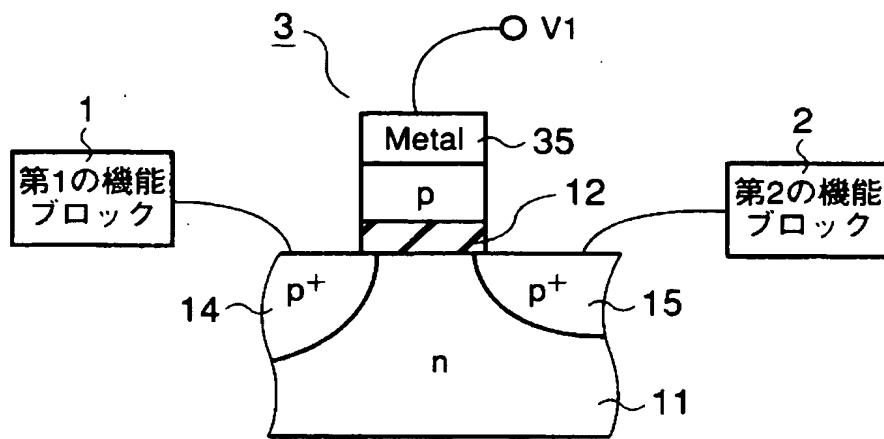
【図 3 4】



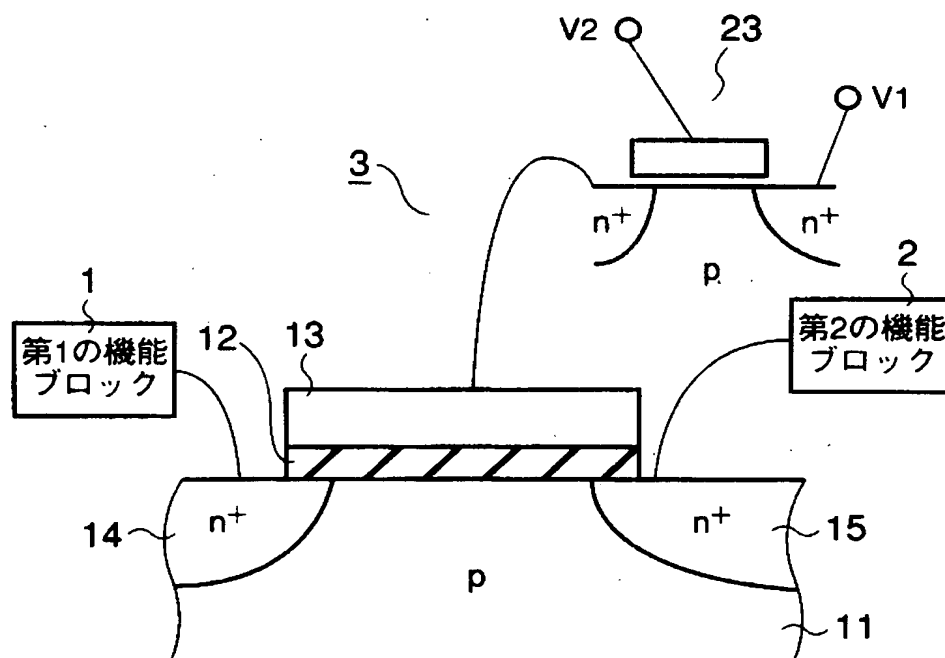
【図 3 5】



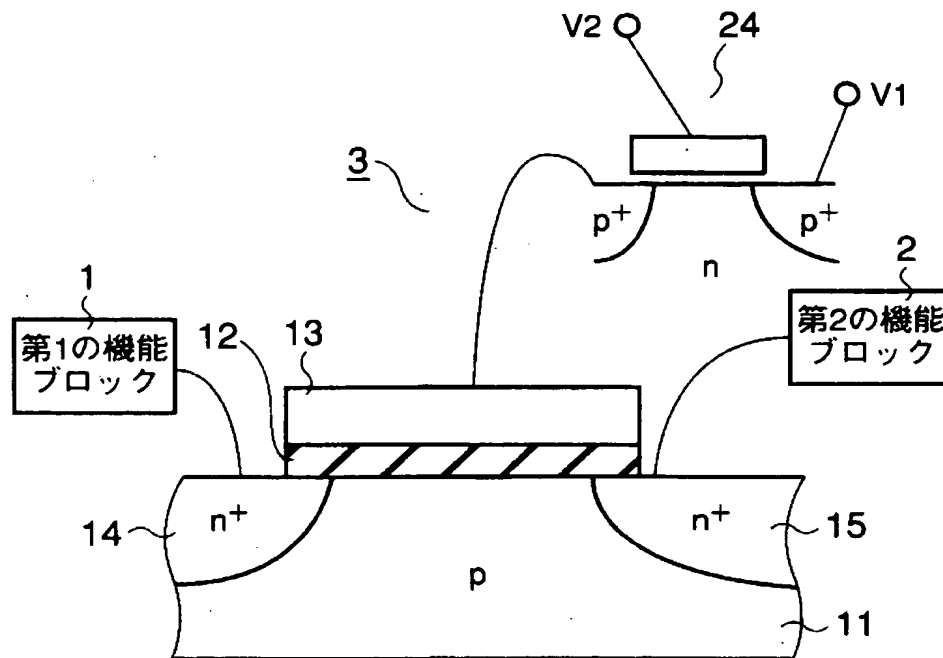
【図 36】



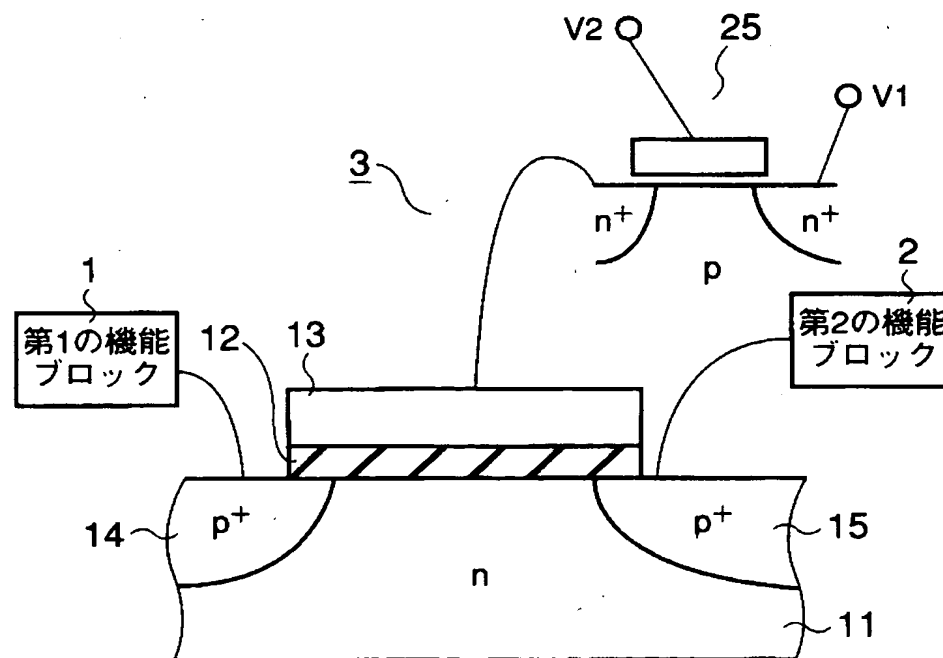
【図 37】



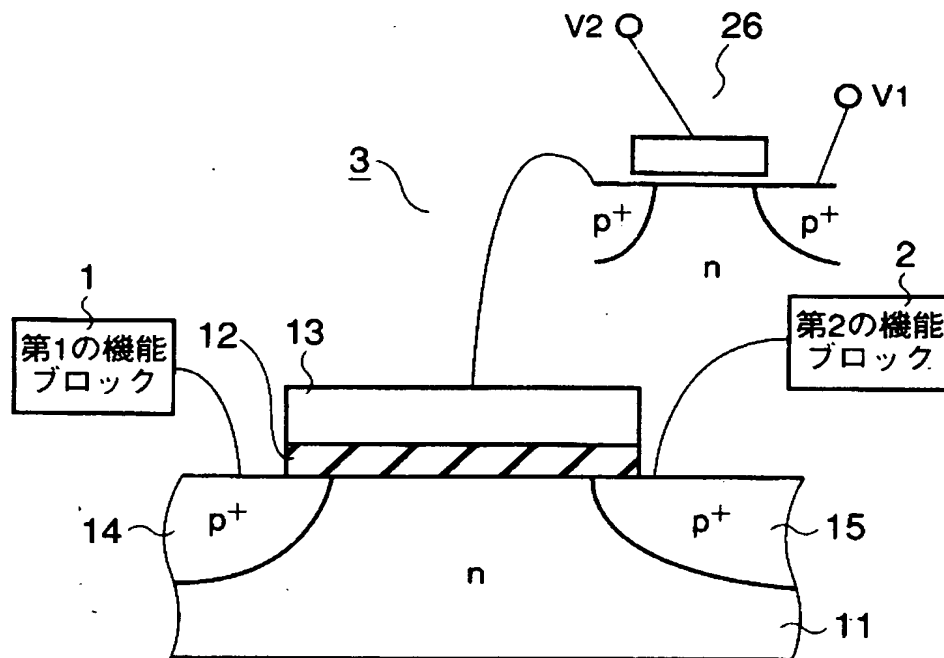
【図 3 8】



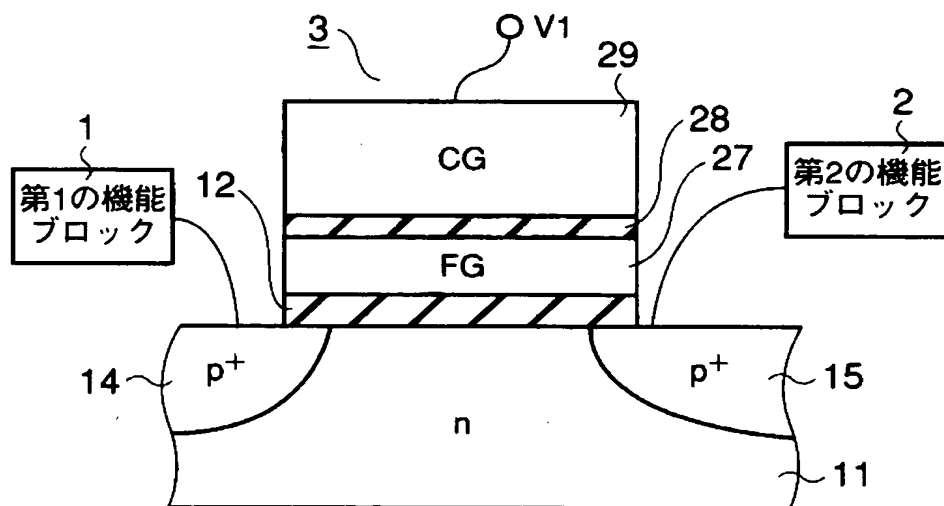
【図 3 9】



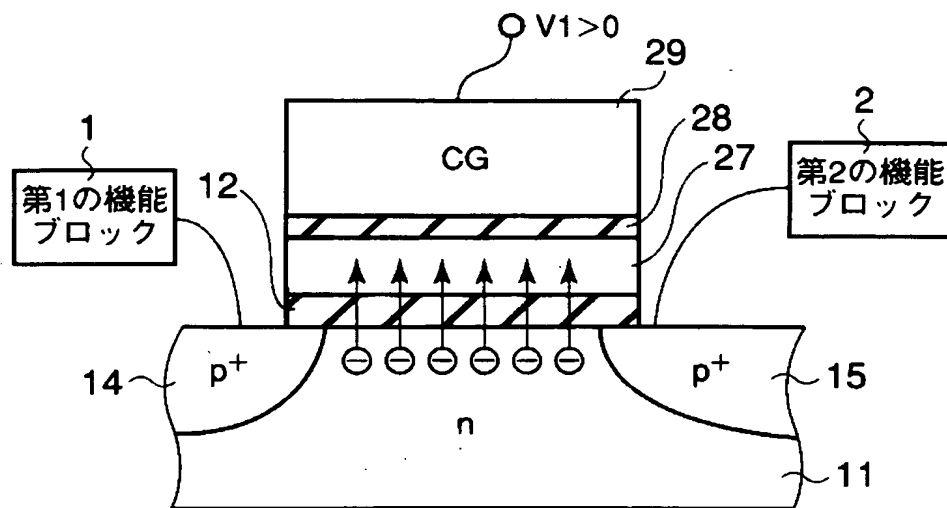
【図 40】



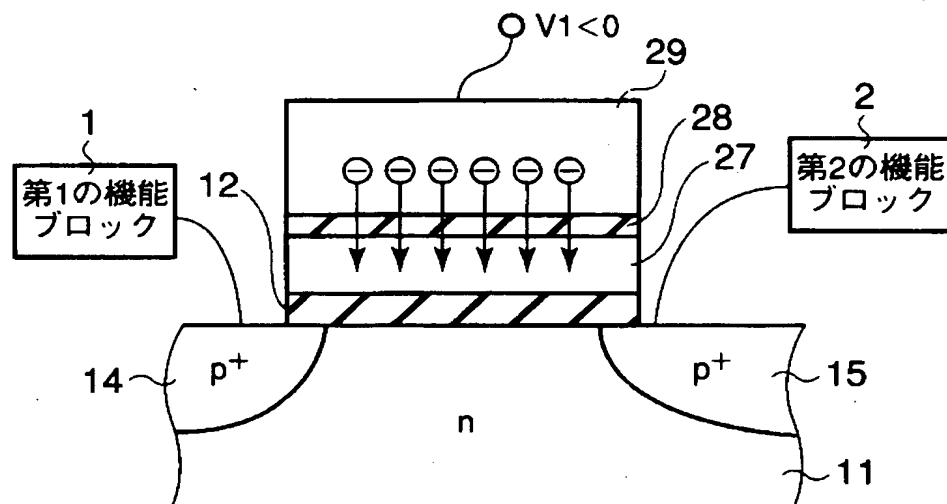
【図 4 1】



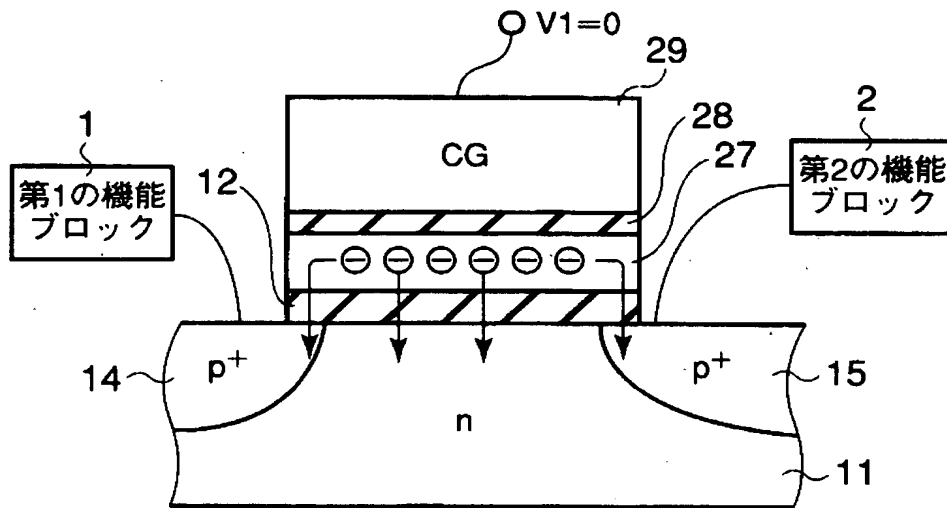
【図 4 2】



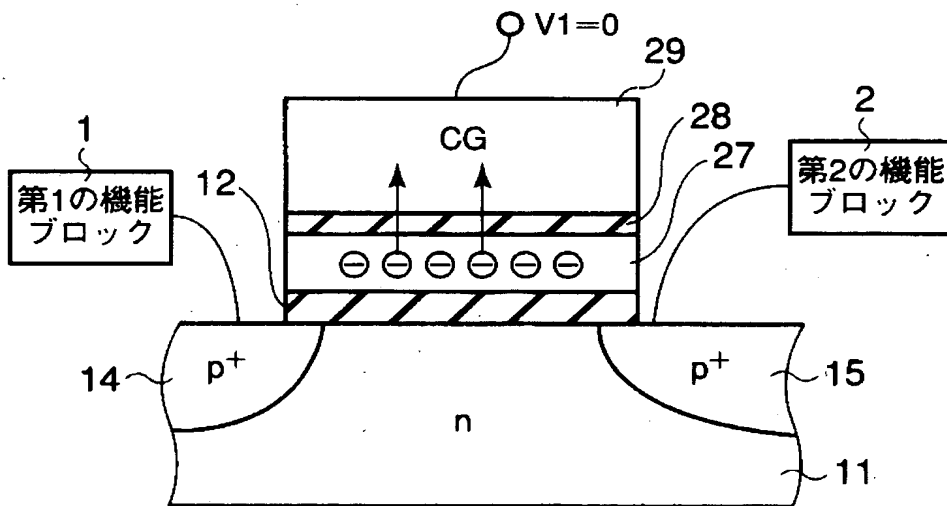
【図 4 3】



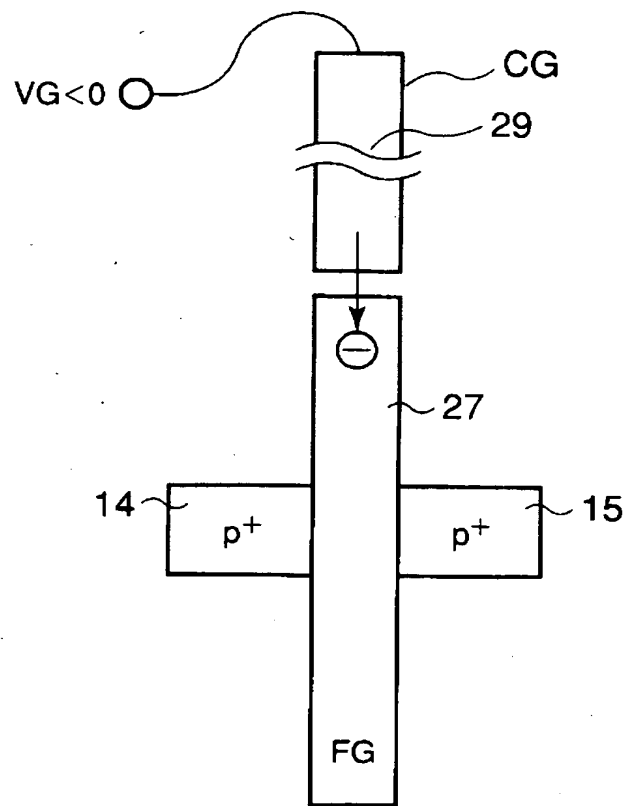
【図 4 4】



【図 4 5】

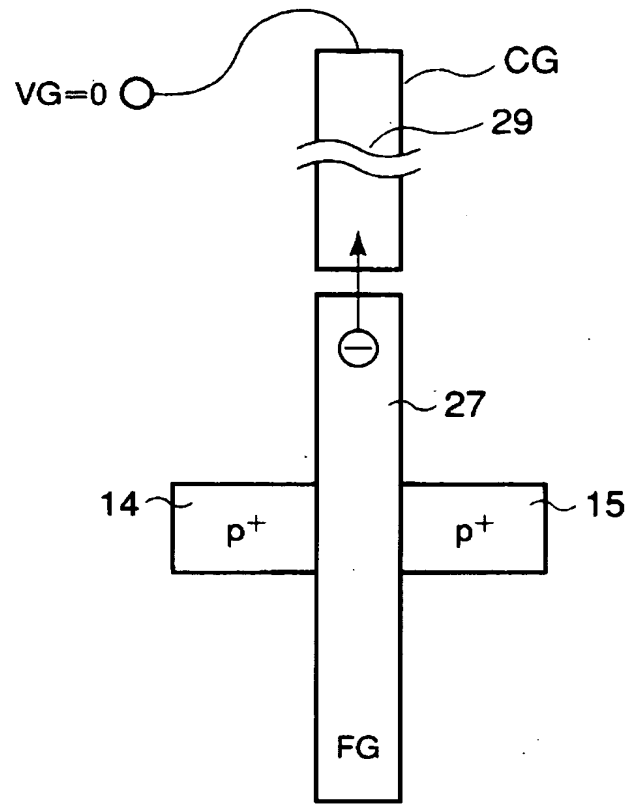


【図 47】



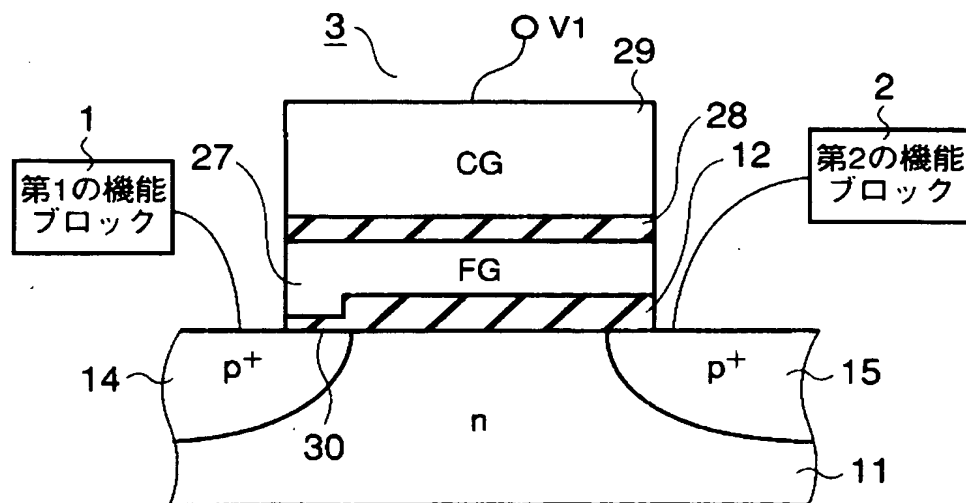
FNトンネル注入

【図 48】

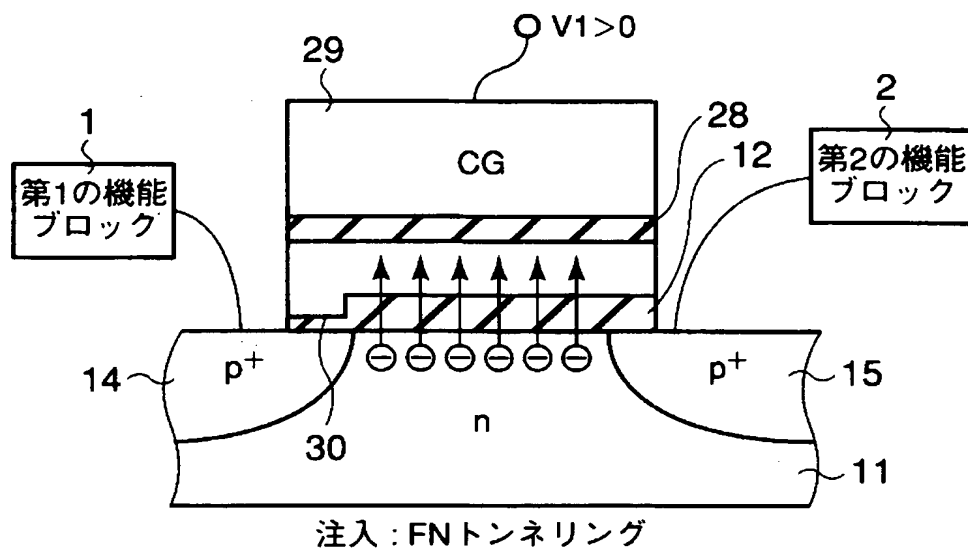


直接トンネル放出

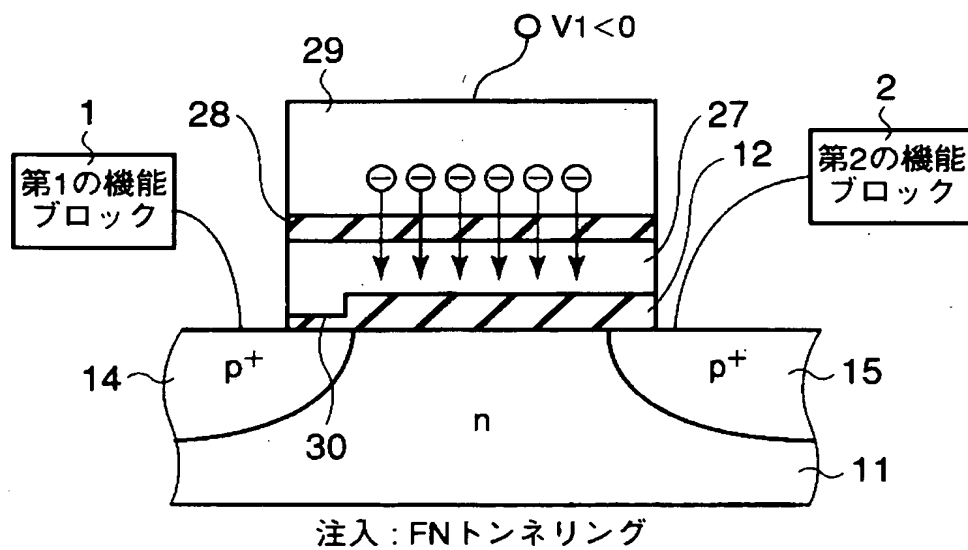
【図 49】



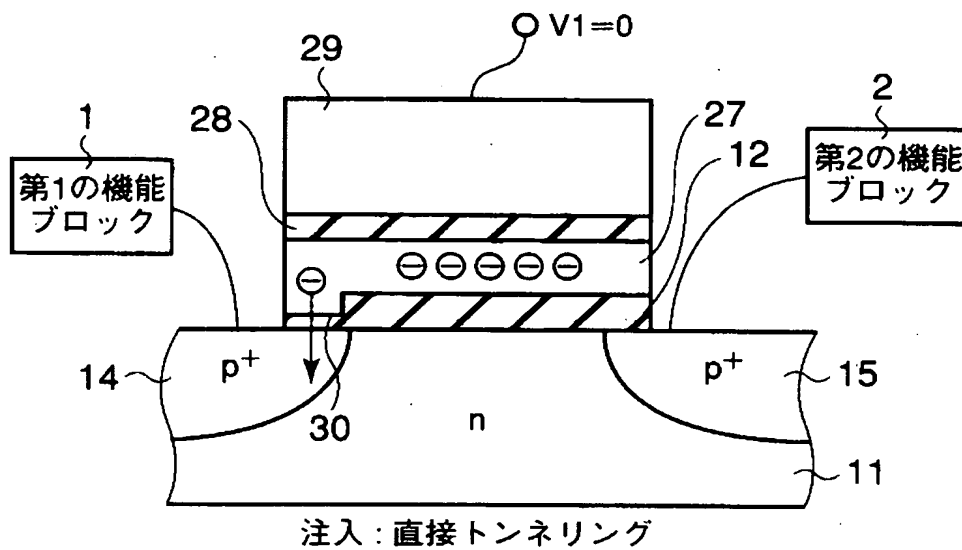
【図 50】



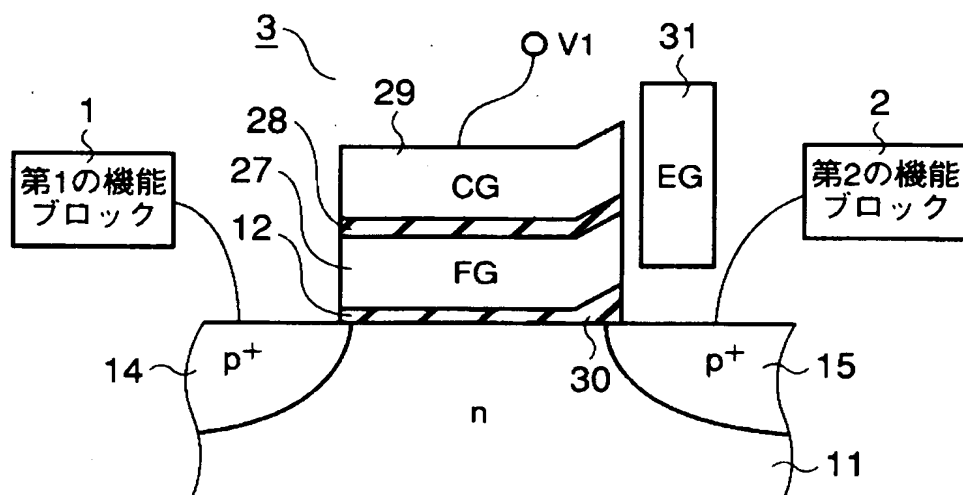
【図 51】



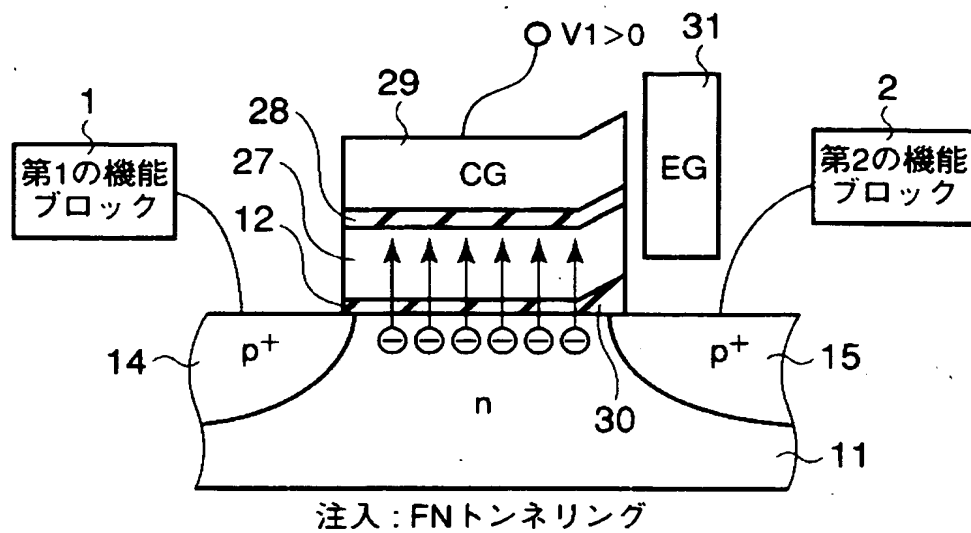
【図 5 2】



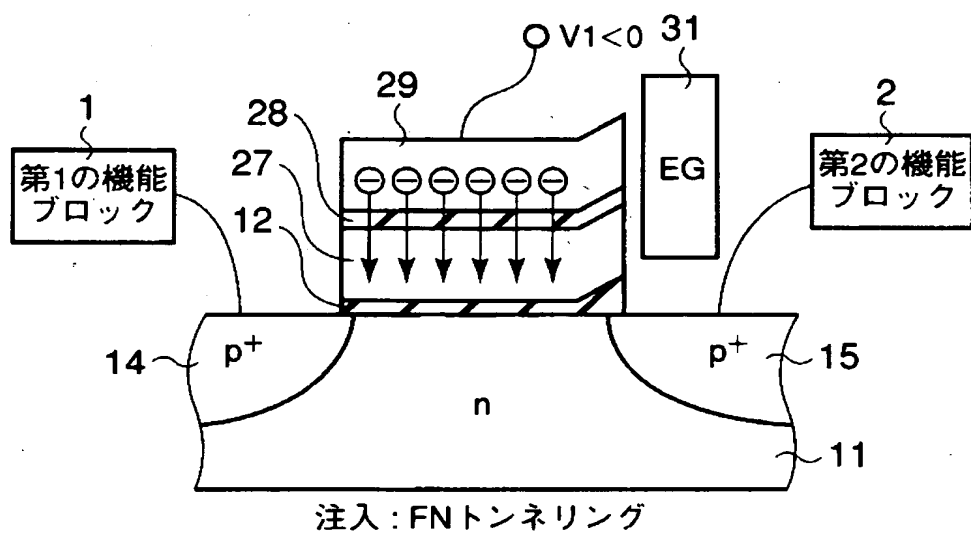
【図 5 3】



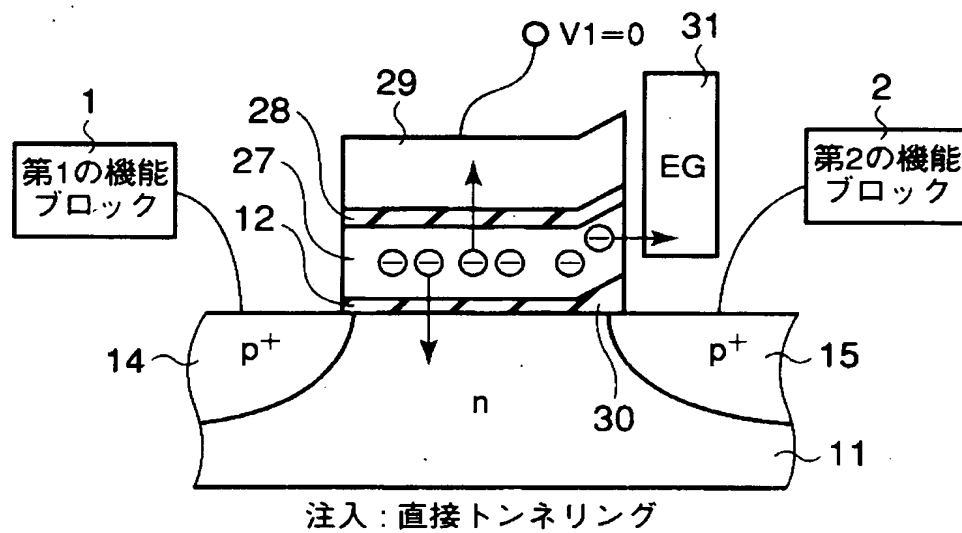
【図 5 4】



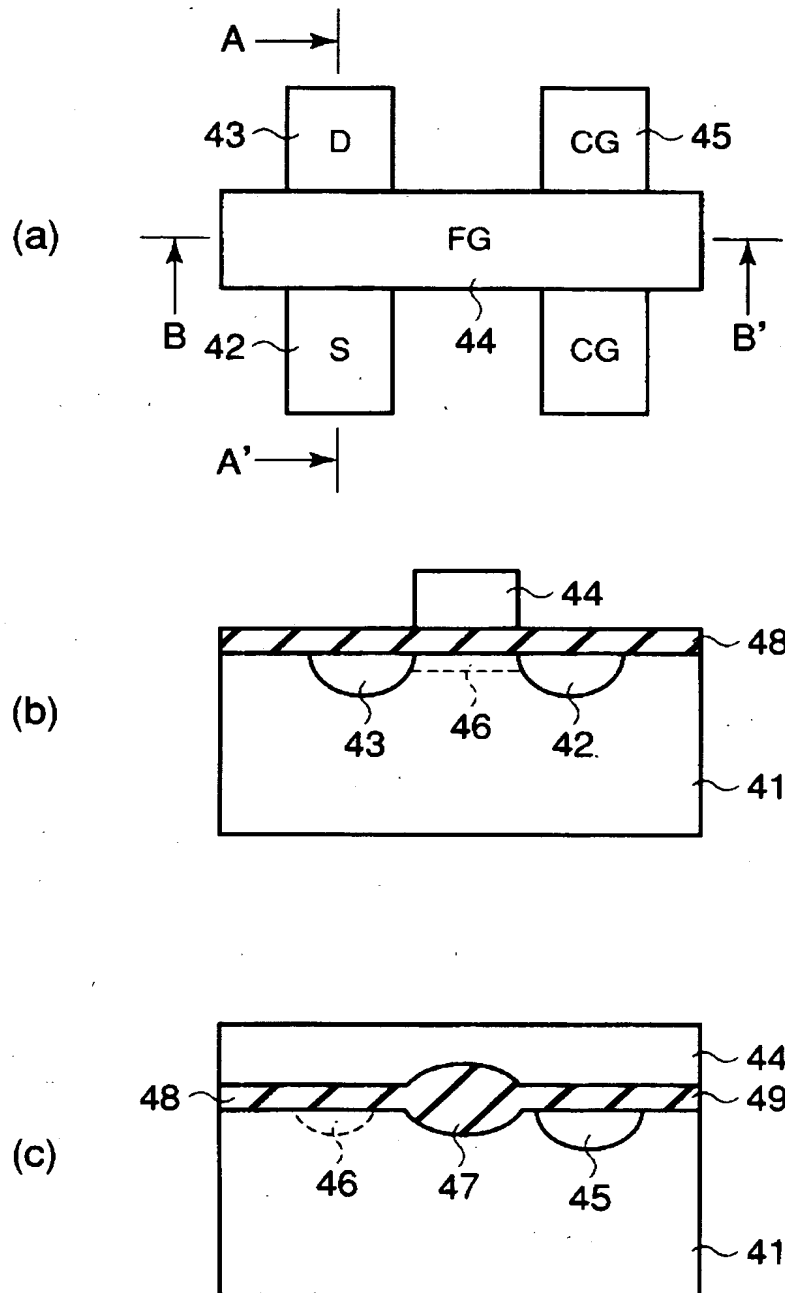
【図 5 5】



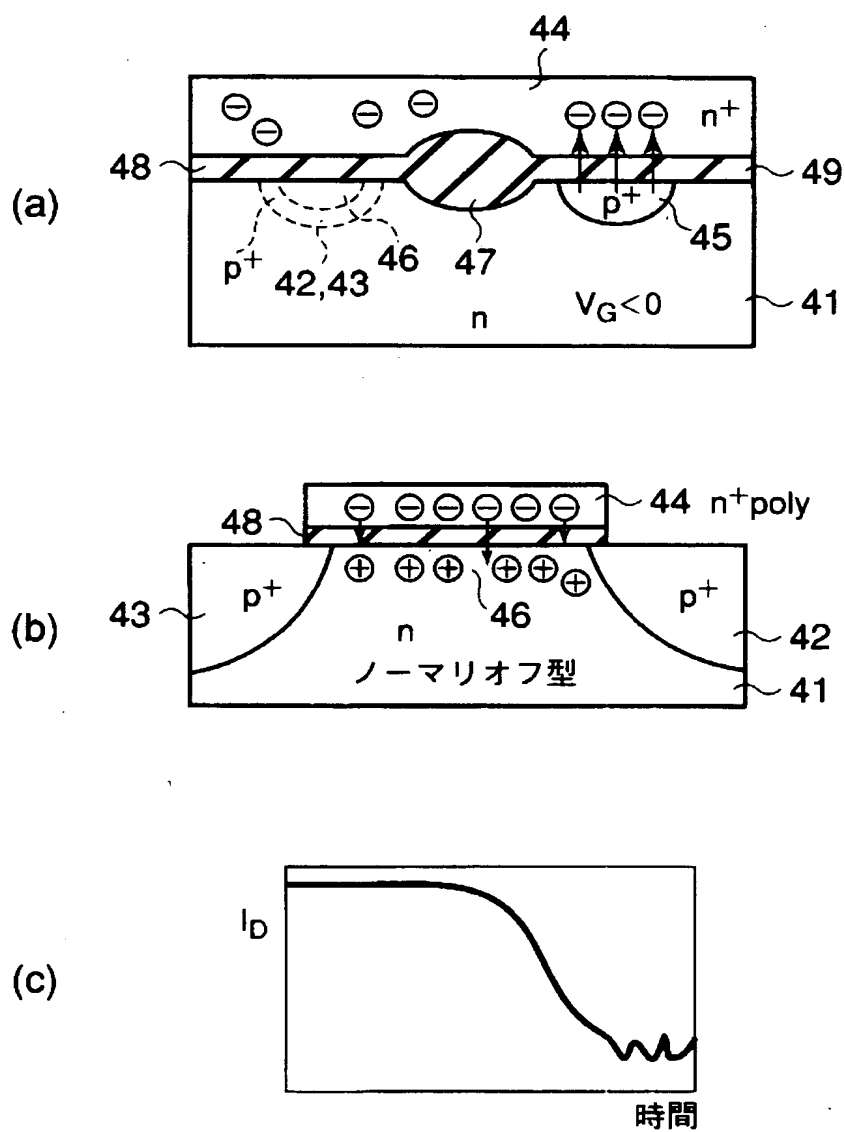
【図 56】



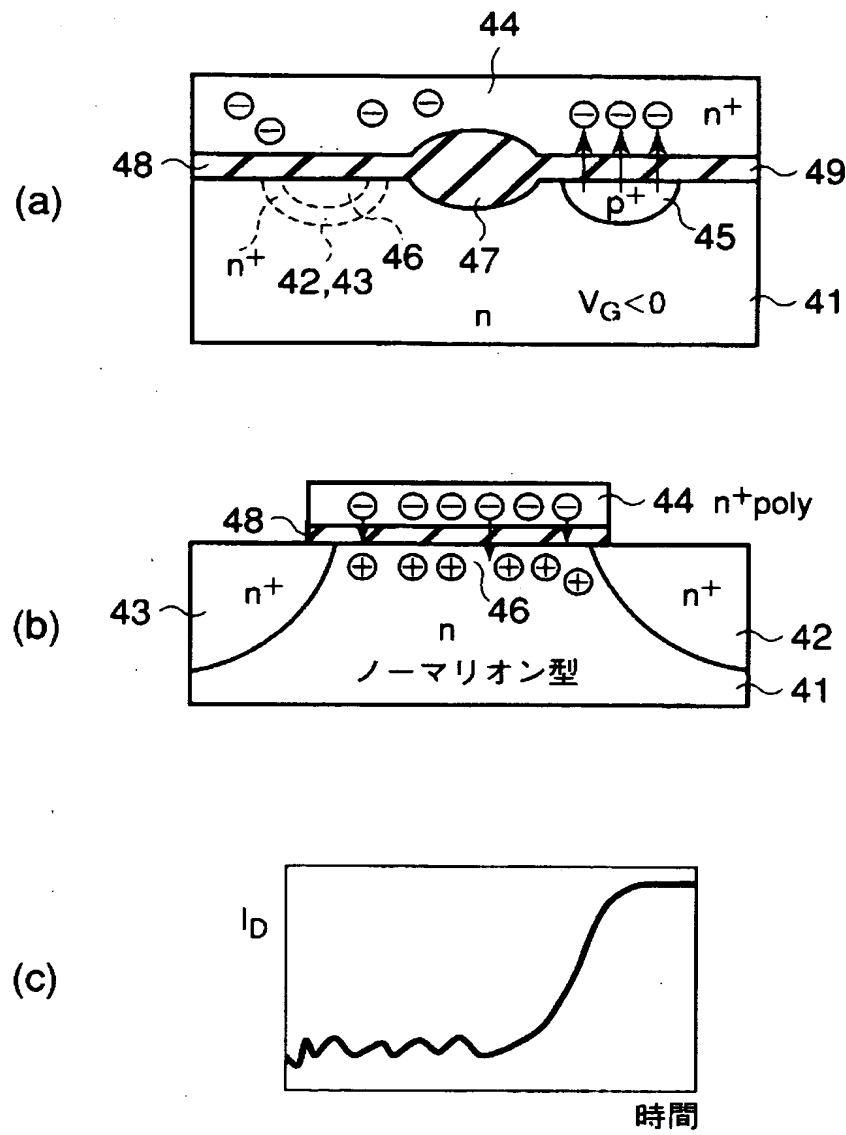
【図 57】



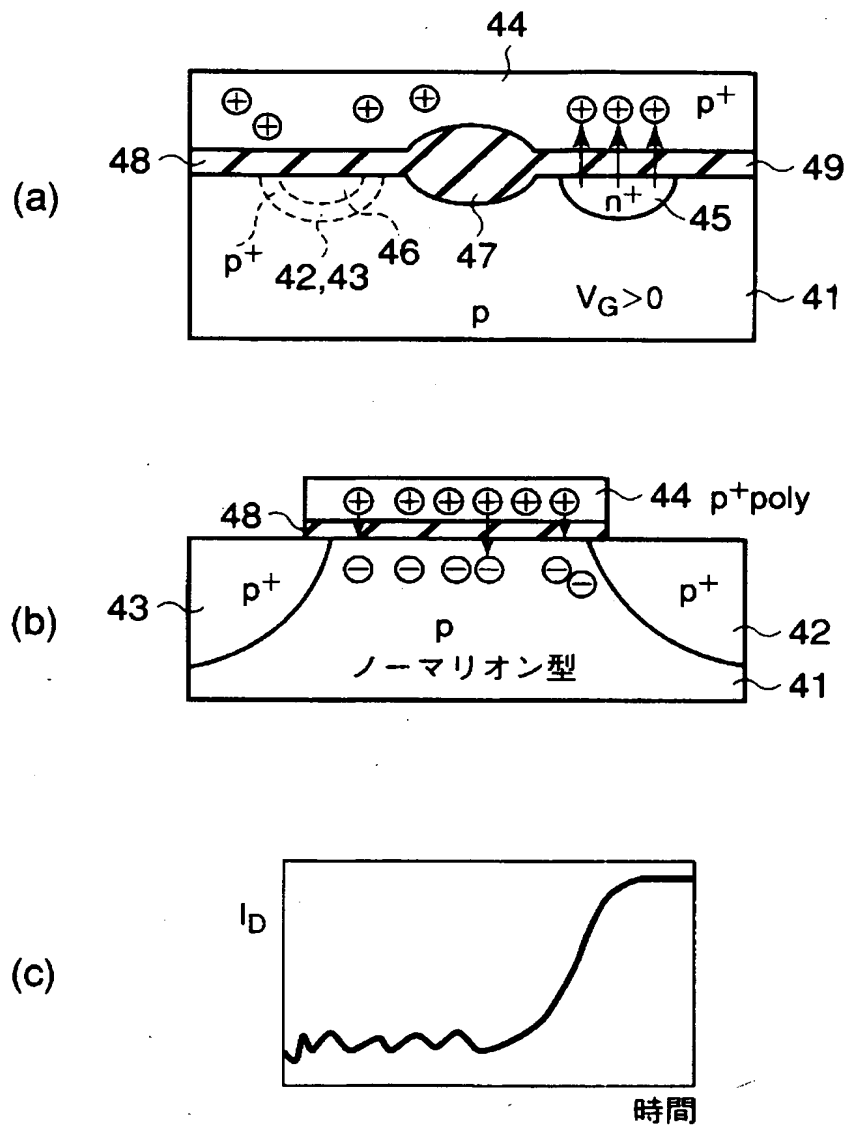
【図 58】



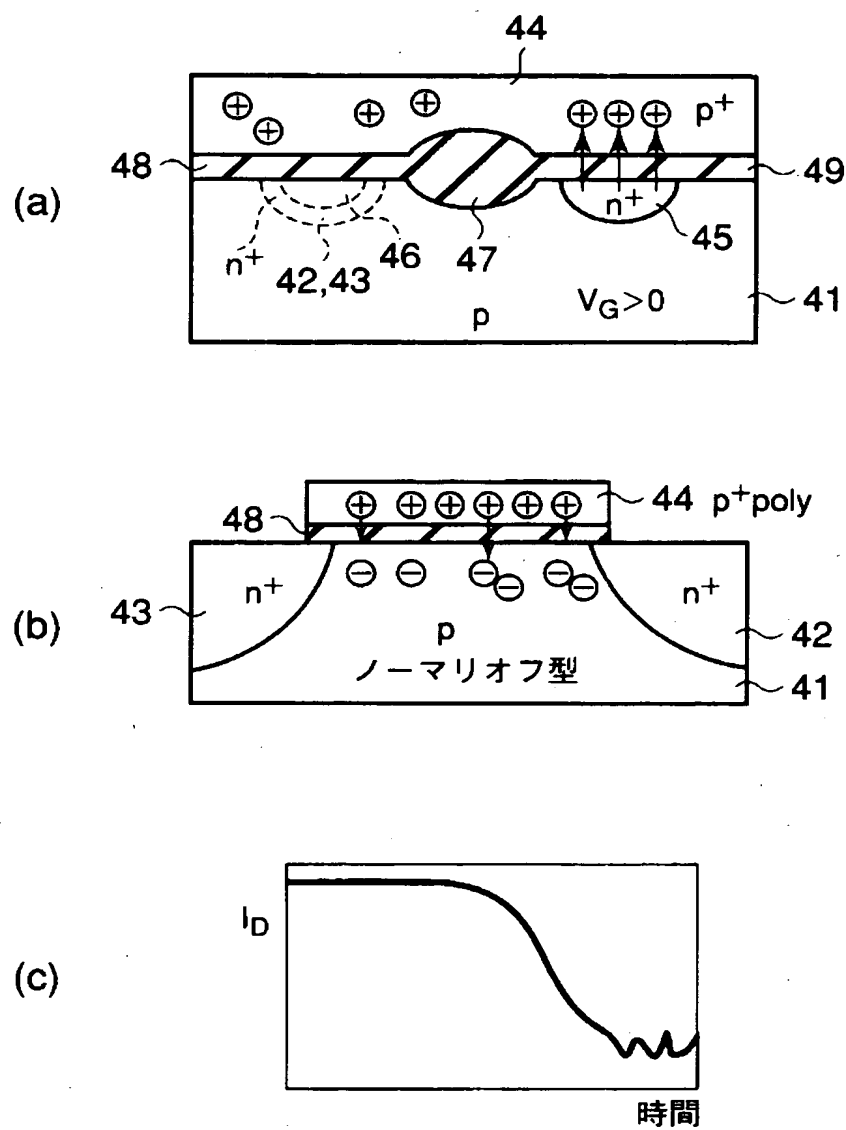
【図 59】



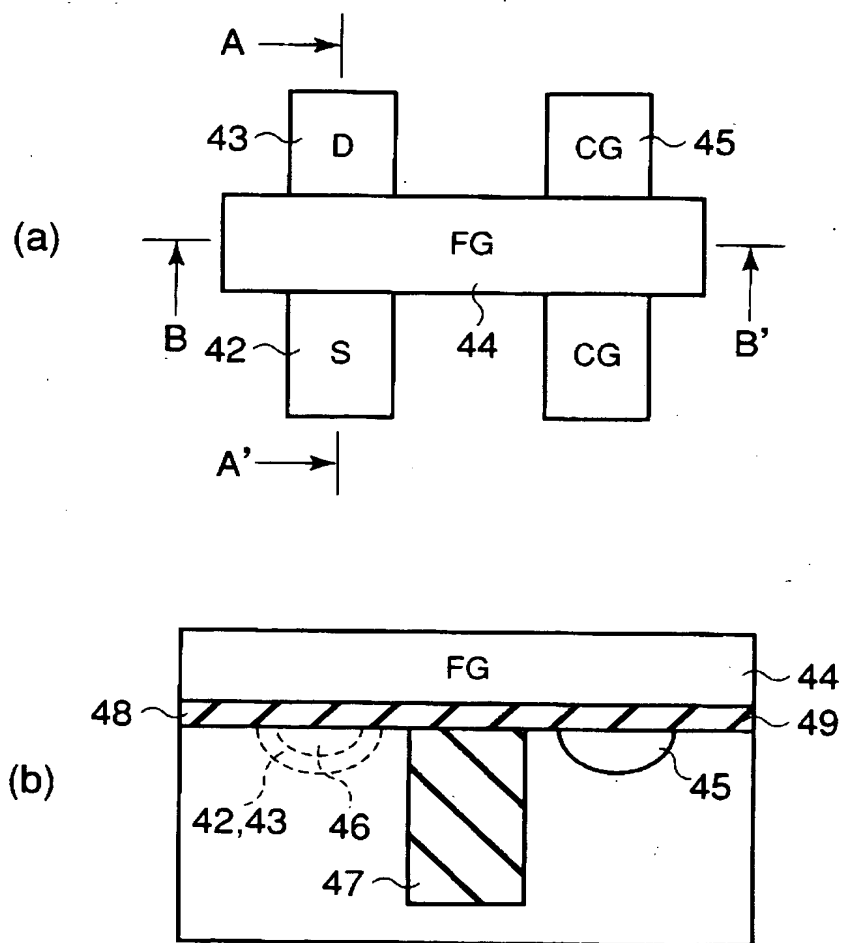
【図 60】



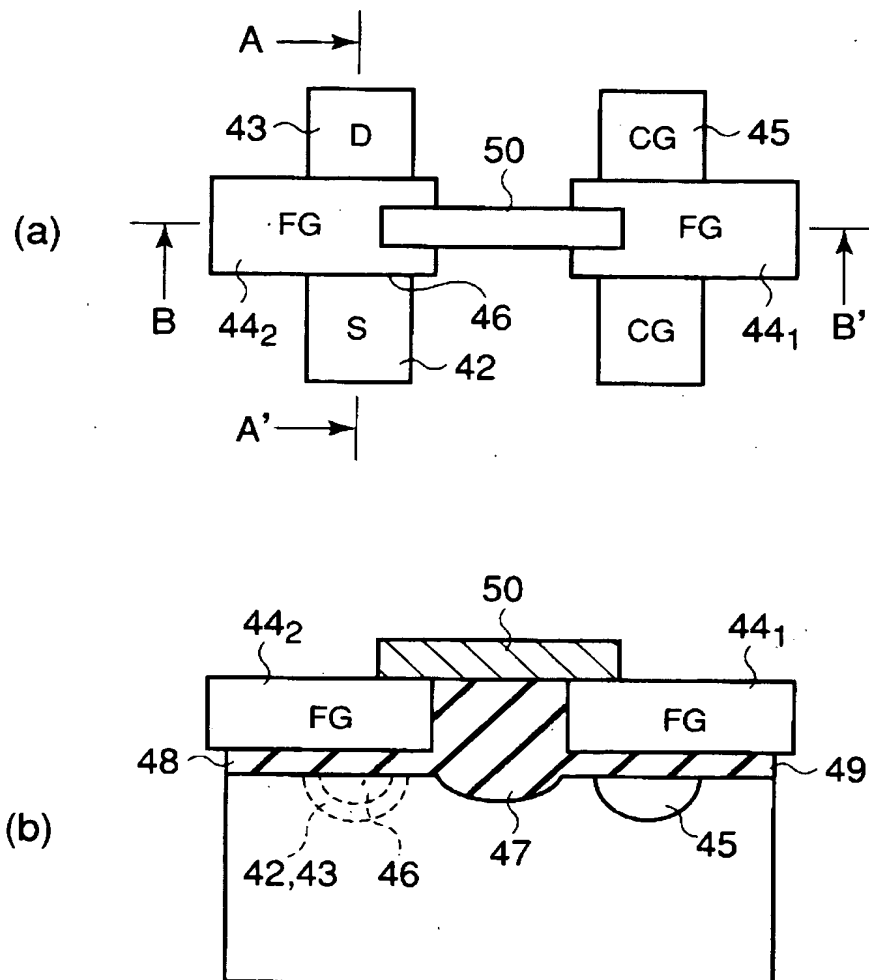
【図 61】



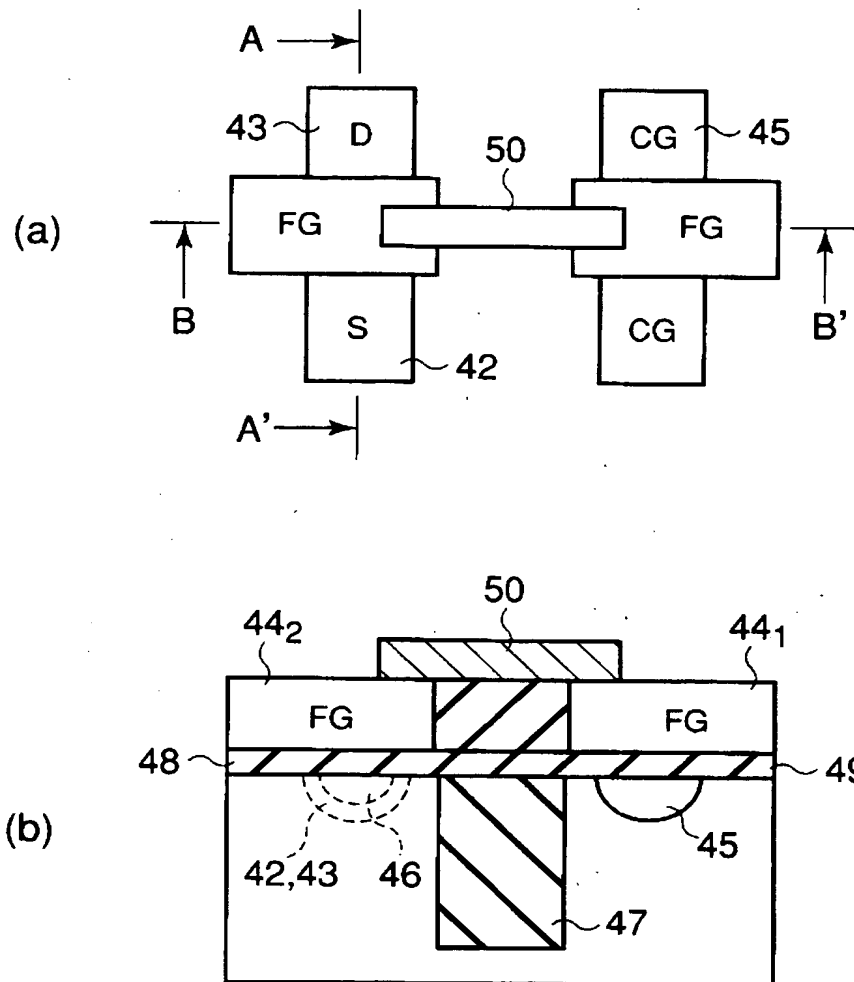
【図 62】



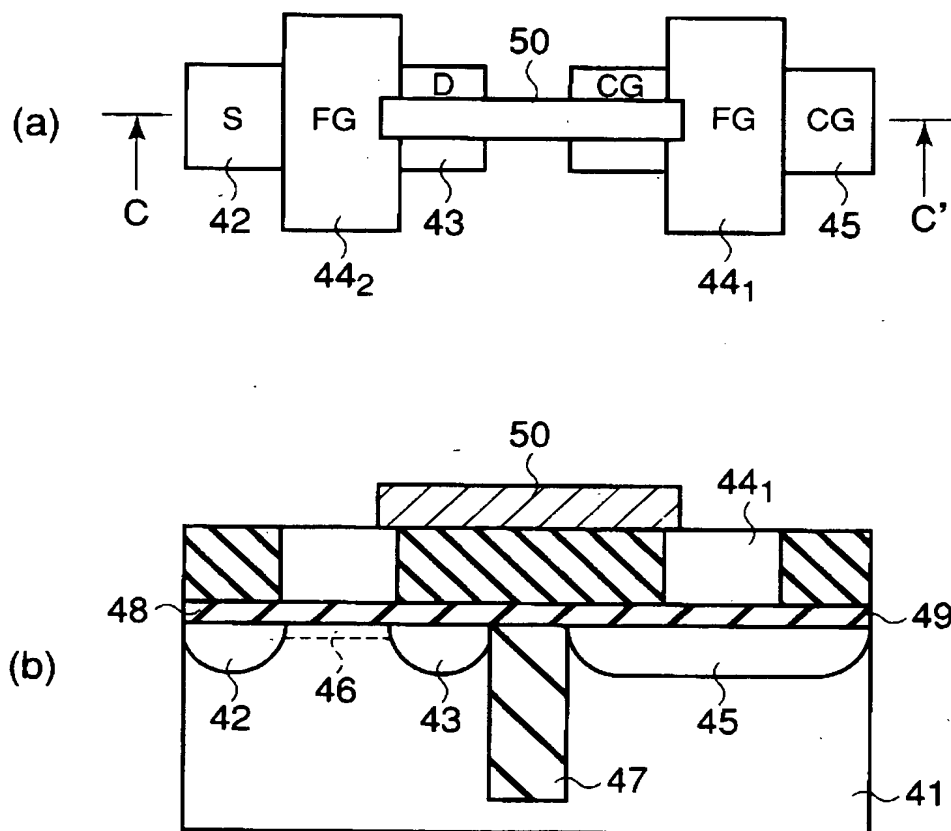
【図 63】



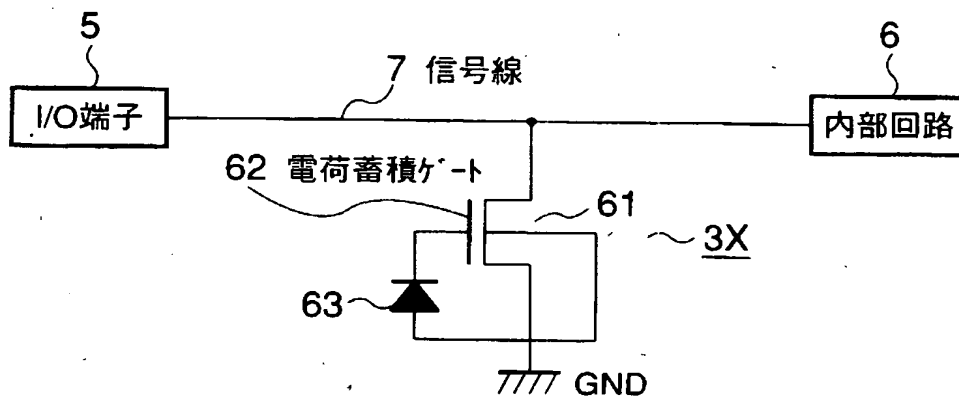
【図 64】



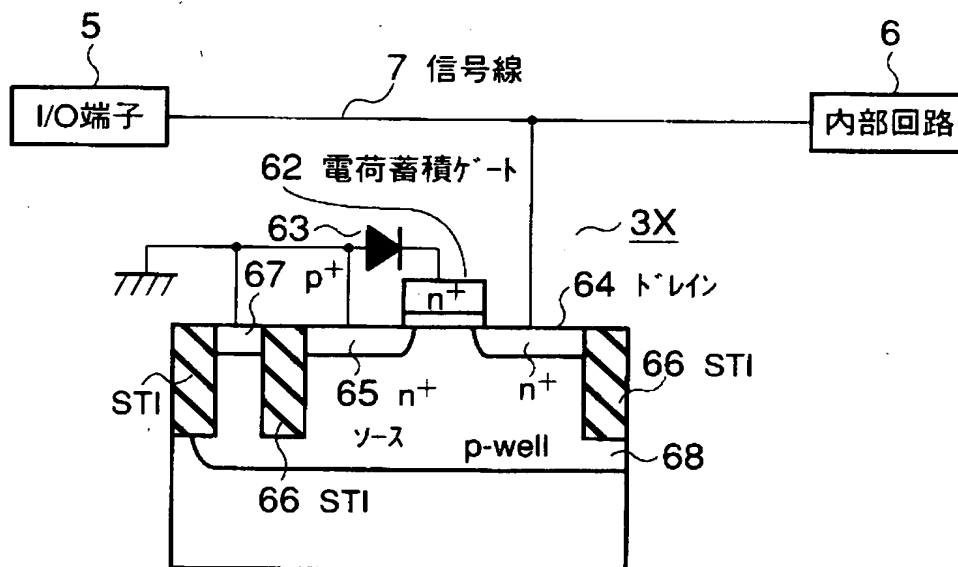
【図 65】



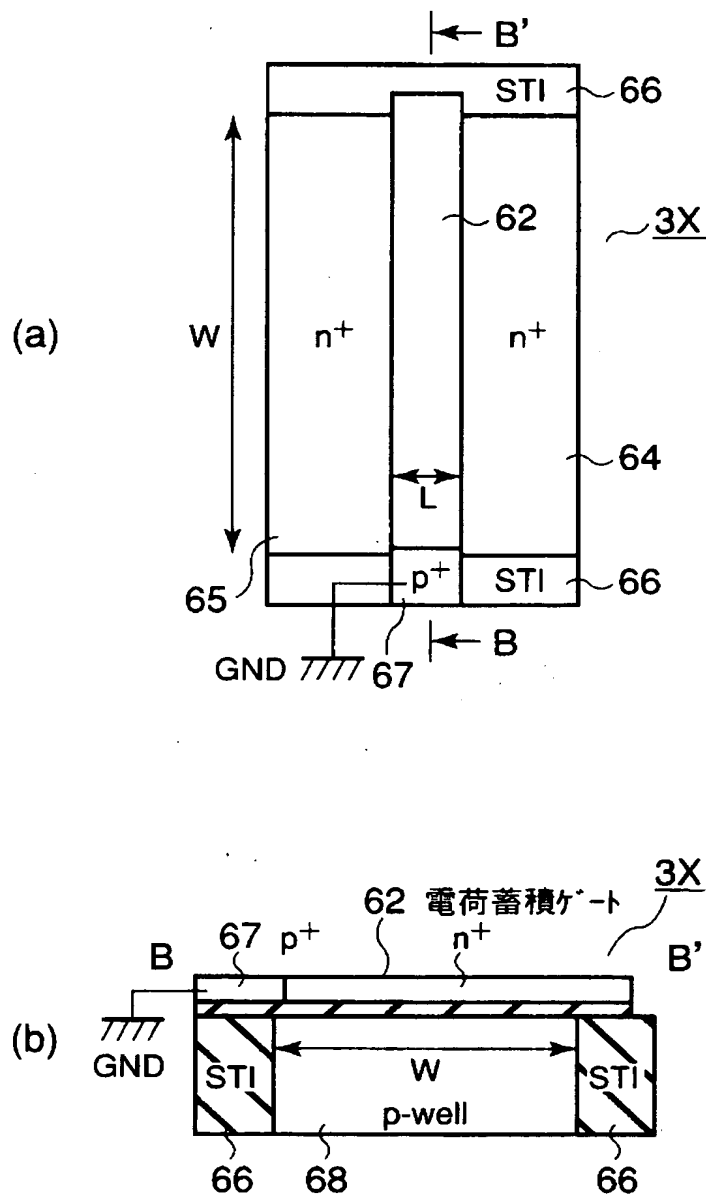
【図 66】



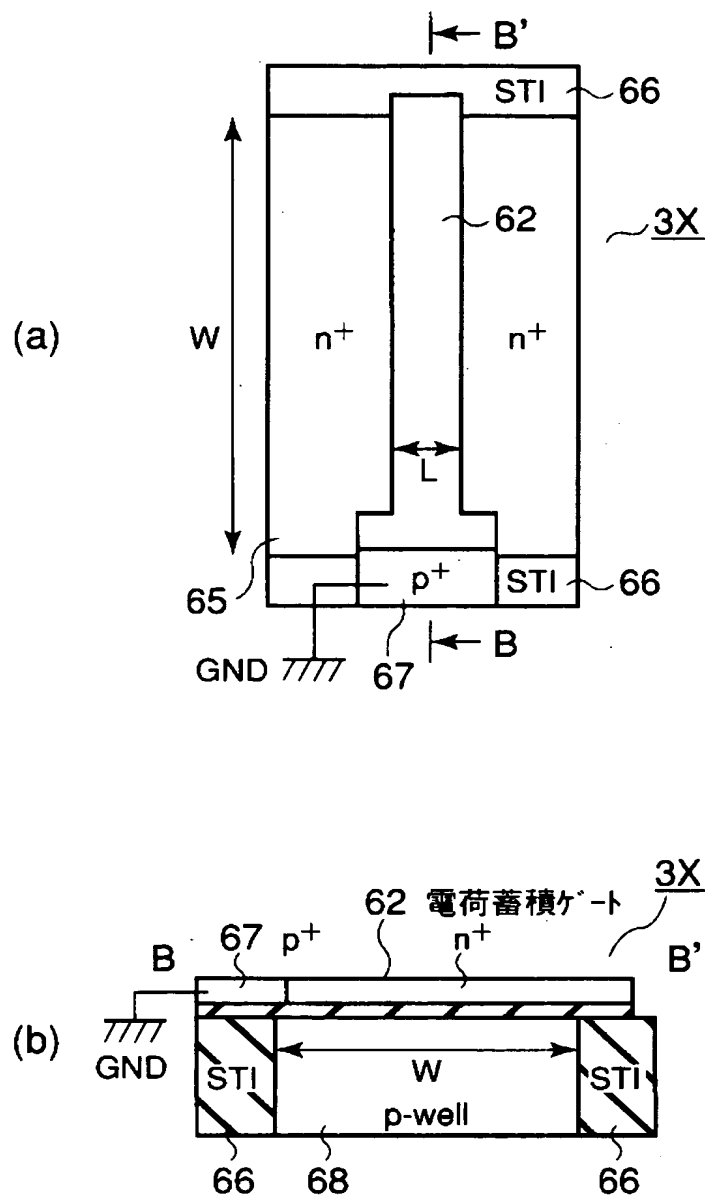
【図 67】



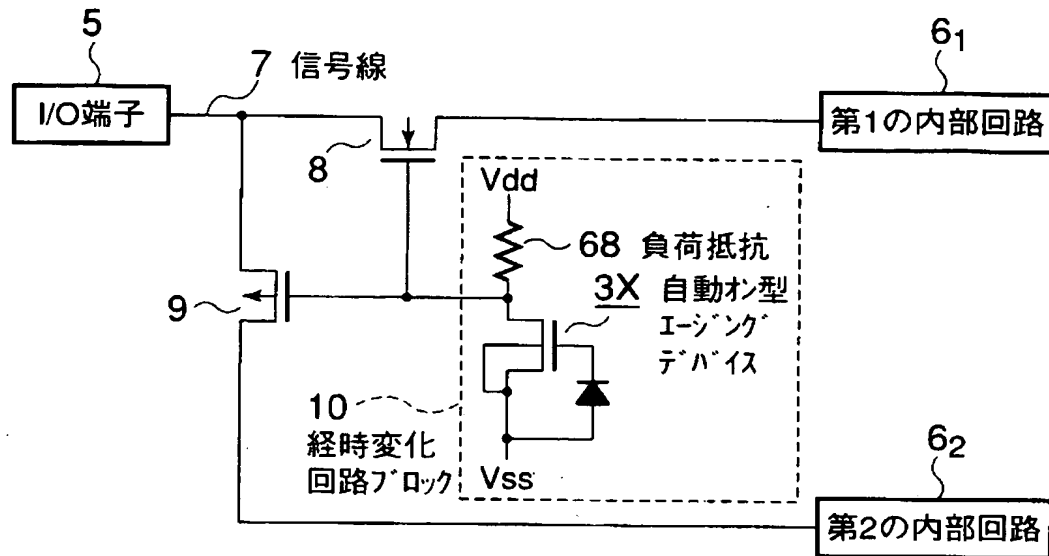
【図 68】



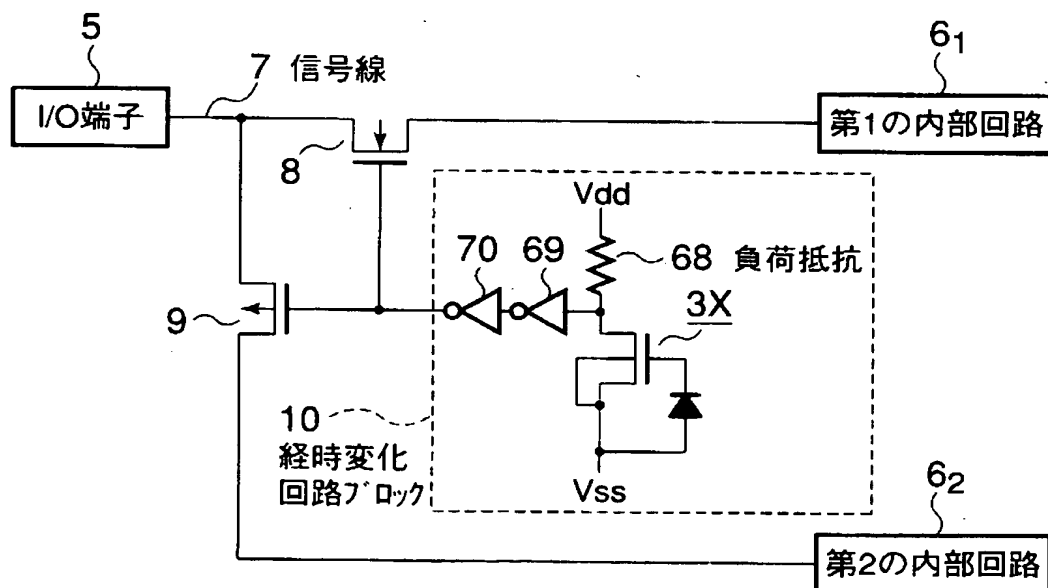
【图 6 9】



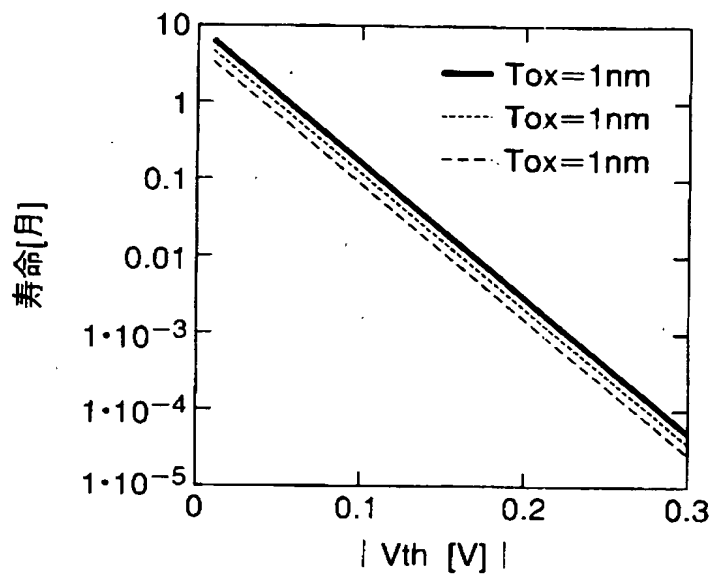
【図 70】



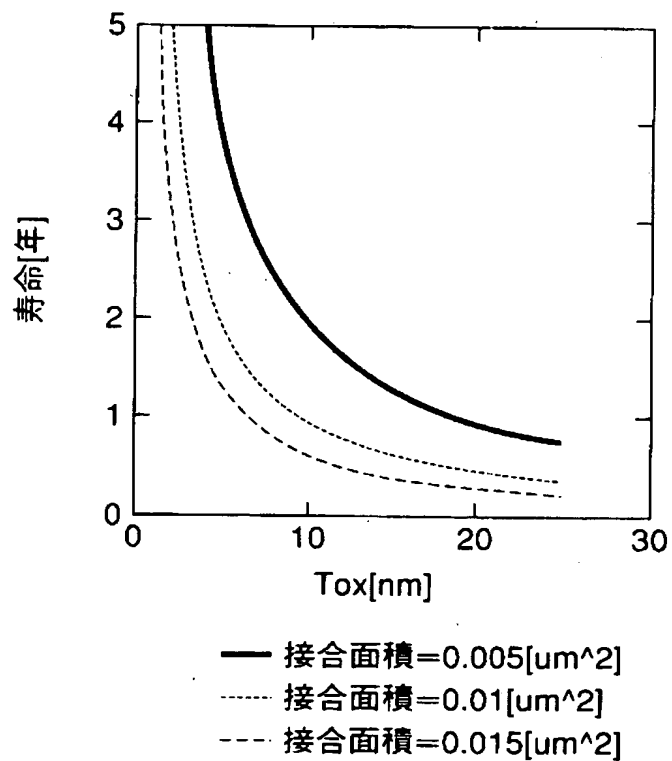
【図 71】



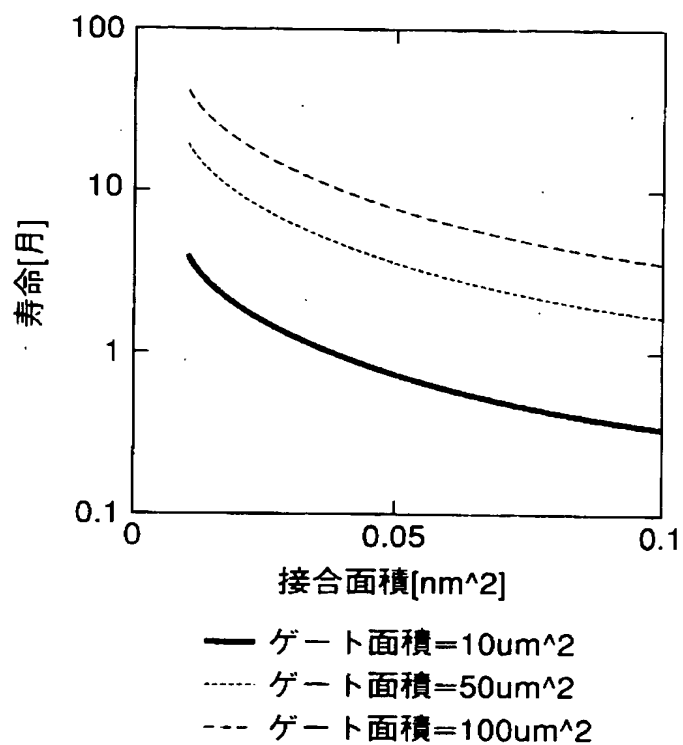
【図 7 2】



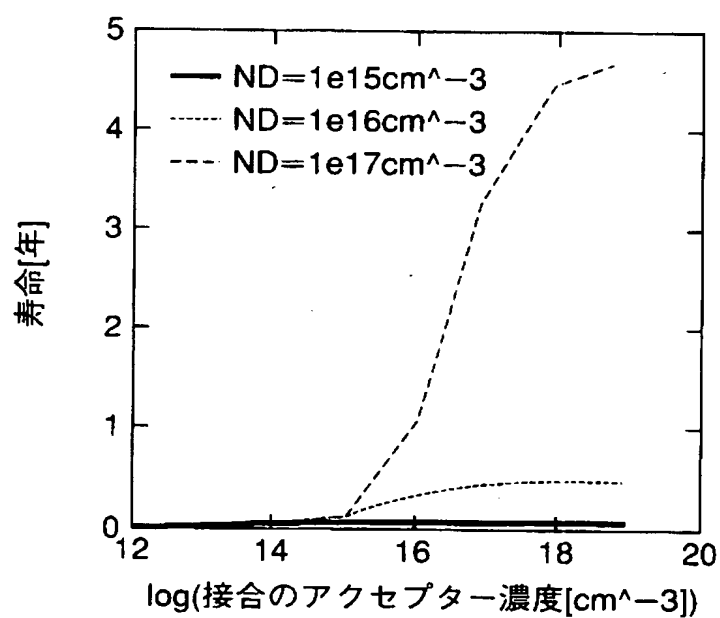
【図 7 3】



【図 7 4】



【図 7 5】



【書類名】 要約書

【要約】

【課題】 正確な動作寿命を保証することができ、寿命の改ざんを防ぐことができる有効期限付き機能利用装置を提供する。

【解決手段】 有効期限付き機能利用装置は、第1の機能ブロックと、第2の機能ブロック2と、前記第1の機能ブロック1と前記第2の機能ブロック2との間に介在若しくは接続し、所定の時間経過後、前記第1の機能ブロック1及び前記第2の機能ブロック2間の相互アクセスを不能とする、若しくは可能にする半導体時限スイッチ3とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-188792
受付番号	50301093880
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 7月 3日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝

【代理人】

申請人

【識別番号】	100058479
--------	-----------

【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
----------	------------------------------------

【氏名又は名称】	鈴江 武彦
----------	-------

【選任した代理人】

【識別番号】	100091351
--------	-----------

【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
----------	------------------------------------

【氏名又は名称】	河野 哲
----------	------

【選任した代理人】

【識別番号】	100088683
--------	-----------

【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
----------	------------------------------------

【氏名又は名称】	中村 誠
----------	------

【選任した代理人】

【識別番号】	100108855
--------	-----------

【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
----------	------------------------------------

【氏名又は名称】	蔵田 昌俊
----------	-------

【選任した代理人】

【識別番号】	100084618
--------	-----------

【住所又は居所】	東京都千代田区霞が関3丁目7番2号 鈴榮特許 綜合法律事務所内
----------	------------------------------------

【氏名又は名称】	村松 貞男
----------	-------

【選任した代理人】

【識別番号】 100092196

【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許
綜合法律事務所内

【氏名又は名称】 橋本 良郎

特願 2003-188792

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝